

7014-72  
u n

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月18日

出 願 番 号

Application Number:

特願2000-040390

出 願 人

Applicant (s):

キヤノン株式会社

2000年 3月17日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦

出証番号 出証特2000-3017450

特 2 0 0 0 - 0 4 0 3 9 0

【書類名】 特許願

【整理番号】 4151104

【提出日】 平成12年 2月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 29/46

【発明の名称】 電子源、画像形成装置、及びこれらの製造方法

【請求項の数】 13

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 川崎 秀司

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100096828

    【弁理士】

    【氏名又は名称】 渡辺 敬介

    【電話番号】 03-3501-2138

【選任した代理人】

    【識別番号】 100059410

    【弁理士】

    【氏名又は名称】 豊田 善雄

    【電話番号】 03-3501-2138

【先の出願に基づく優先権主張】

    【出願番号】 平成11年特許願第 45672号

    【出願日】 平成11年 2月24日

【手数料の表示】

    【予納台帳番号】 004938

特 2 0 0 0 - 0 4 0 3 9 0

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703710

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子源、画像形成装置、及びこれらの製造方法

【特許請求の範囲】

【請求項 1】 所定の間隔を備えた電子放出素子を複数個、複数の行方向配線と複数の列方向配線とによりマトリクス状に結線してなる電子源の製造方法であって、

電子放出素子となるべき構造を備えたプレ素子を形成した後、複数のプレ素子を複数のグループに分け、各グループをさらに複数のサブグループに分割し、各サブグループ内において 1 個以上のプレ素子を単位として、全グループ同時に、1 サブグループ内のプレ素子について上記単位毎に順次電圧を印加する工程を、所定のガス雰囲気においてサブグループ毎に順次施すことにより、各プレ素子の間隙に堆積物を堆積させる堆積工程を有することを特徴とする電子源の製造方法。

【請求項 2】 上記堆積工程における雰囲気ガスが有機物質を含有し、堆積物が少なくとも炭素を含有する請求項 1 の電子源の製造方法。

【請求項 3】 上記同じサブグループ内において同時に電圧を印加する単位が、同じ行方向配線或いは列方向配線に接続されたプレ素子である請求項 1 または 2 に記載の電子源の製造方法。

【請求項 4】 同時に電圧を印加される互いに異なるグループに含まれる単位配線が、所定の間隔をおいて分散配置されている請求項 3 記載の電子源の製造方法。

【請求項 5】 上記各グループが連続した領域を有して順次配置されている請求項 4 記載の電子源の製造方法。

【請求項 6】 上記各グループにおいて、各サブグループの単位配線が、サブグループに含まれる単位配線本数間隔で配置されている請求項 5 記載の電子源の製造方法。

【請求項 7】 上記各グループの各サブグループの x 番目の単位配線が全サブグループについてグループ毎に連続して配置されている請求項 5 記載の電子源の製造方法。

【請求項 8】 複数のプレ素子が複数のエリアに分割され、各エリアについ

て、上記各グループに分割されている請求項 1～7 のいずれかに記載の電子源の製造方法。

【請求項 9】 所定の間隙を備えた電子放出素子を複数個、複数の行方向配線と複数の列方向配線とによりマトリクス状に結線してなり、上記間隙に堆積物を有し、請求項 1～8 のいずれかに記載の電子源の製造方法によって製造されたことを特徴とする電子源。

【請求項 10】 上記電子放出素子が、一对の素子電極と該素子電極のそれぞれに電氣的に接続された導電性膜と該導電性膜の一部に形成された電子放出部とを有する請求項 9 記載の電子源。

【請求項 11】 上記電子放出素子が、表面伝導型電子放出素子である請求項 10 記載の電子源。

【請求項 12】 請求項 9～11 のいずれかに記載の電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを備えたことを特徴とする画像形成装置。

【請求項 13】 請求項 1～8 のいずれかに記載の電子源の製造方法により電子源を製造し、該電子源からの電子線の照射により画像を形成する画像形成部を組み合わせることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の電子放出素子を備えた電子源と該電子源を用いてなる画像形成装置、及びこれらの製造方法に関する。

【0002】

【従来の技術】

従来、電子放出素子には大別して熱電子放出素子と冷陰極電子放出素子の 2 種類が知られている。冷陰極電子放出素子には電界放出型（以下、「FE 型」と称する）、金属／絶縁層／金属型（以下、「MIM 型」と称する）や、表面伝導型電子放出素子等がある。

【0003】

FE型の例としては、W. P. ダイク アンド W. W. ドラン (W. P. Dyke and W. W. Dolan) 「フィールド エミッション (Field Emission)」, アドバンス イン エレクトロン フィジックス (Advance in Electoron Physics), 8, 89 (1956) あるいはC. A. スピント (C. A. Spindt), 「フィジカル プロパティズ オブ シン-フィルム フィールド エミッション カソード ウィズ モリブデナム コーンズ (Physical Properties of thin-film field emission cathodes with molybdenum cones)」, J. Appl. Phys., 47, 5248 (1976) 等の開示されたものがある。

【0004】

また、MIM型の例としては、C. A. ミード (C. A. Mead), 「オペレーション オブ トンネル-エミッション デバイセズ (Operation of Tunnel-Emission Devices)」, J. Appl. Phys., 32, 646 (1961) 等の開示されたものが知られている。

【0005】

表面伝導型電子放出素子の例としては、M. I. エリンソン (M. I. Elinson), Radio Eng. Electron Phys., 10, 1290 (1965) 等の開示されたものがある。

【0006】

表面伝導型電子放出素子は、絶縁性基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO<sub>2</sub>薄膜を用いたもの、Au薄膜によるもの [G. ディットマー (G. Dittmer) 「シン ソリッド フィルムズ (Thin Solid Films)」, 9, 317 (1972)]、In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub>薄膜によるもの [M. ハートウェル アンド C. G. フォンスタッド (M. Hartwell and C. G. Fonstad), 「IEEE Trans. ED Conf.」519 (1975)]、カーボン薄膜によるもの [荒木久 他、真空、第26巻、第1号、第2

2 頁 ( 1 9 8 3 ) ] 等が報告されている。

【 0 0 0 7 】

これらの表面伝導型電子放出素子の典型的な例として、前述のM. ハートウェルの素子構成を図 1 6 に模式的に示す。同図において 1 9 0 1 は基板である。また、1 9 0 4 は導電性膜で、H 型形状のパターンにスパッタで形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部 1 9 0 5 が形成される。なお、図中の素子電極間隔  $L$  は  $0.5 \sim 1 \text{ mm}$ 、 $W$  は  $0.1 \text{ mm}$  で設定されている。

【 0 0 0 8 】

これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜 1 9 0 4 に予め通電フォーミングと呼ばれる通電処理を施して電子放出部 1 9 0 5 を形成するのが一般的である。すなわち、通電フォーミングとは、前記導電性膜 1 9 0 4 の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば  $1 \text{ V} / \text{分}$  程度を印加通電し、導電性膜 1 9 0 4 を局所的に破壊、変形もしくは変質させて構造を変化させ、電氣的に高抵抗な状態の電子放出部 1 9 0 5 を形成する処理である。なお、電子放出部 1 9 0 5 では導電性膜 1 9 0 4 の一部に亀裂が発生しており、その亀裂付近から電子放出が行われる。

【 0 0 0 9 】

前記通電フォーミング処理を施した表面伝導型電子放出素子は、導電性膜 1 9 0 4 に電圧を印加し、素子に電流を流すことにより、電子放出部 1 9 0 5 より電子を放出せしめるものである。さらに、本出願人らは、上述した導電性膜 1 9 0 4 に流れる電流（以下「素子電流」と称する）、及び真空中に放出される電流（以下「電子放出電流」と称する）が著しく変化する堆積工程を提案している（特開平 7 - 2 3 5 2 5 5 号公報）。

【 0 0 1 0 】

このような表面伝導型電子放出素子は、構造が単純であるため、大面積にわたって多数の素子を配列した電子源を作成することが容易であるという利点がある。この特徴を活かした種々の応用が研究されており、例えば自発光型の薄型画像表示装置などの画像形成装置への利用などを挙げることができる。

## 【 0 0 1 1 】

ところで、電子放出特性については、電子放出素子を適用した画像形成装置が明るい表示画像を安定して提供できるよう、さらに均一な電子放出特性が要望されている。ここでの効率、素子電流と電子放出電流との比で表すことができるものであり、素子電流が小さく、放出電流が大きい電子放出素子が望まれている。一つの電子源を形成する多数の電子放出素子の電子放出特性の均一化がなされれば、例えば蛍光体を画像形成部材とする画像形成装置においては、明るい高品位な画像形成装置、例えばフラットテレビを実現することができる。

## 【 0 0 1 2 】

本発明者らは、多数の表面伝導型電子放出素子を配列した電子源、ならびにこの電子源を応用した画像形成装置について研究を行ってきた。例えば、図 5 に示す電氣的な配線方法による電子源についても試みてきた。

## 【 0 0 1 3 】

すなわち、表面伝導型電子放出素子を 2 次元的に多数個配列し、これらの素子を図示のようにマトリクス状に配線することにより、電子源を構成する。図 5 において、504 は表面伝導型電子放出素子を模式的に示したものであり、502 は行方向配線、503 は列方向配線である。図 5 に示すような配線方法を、単純マトリクス配線と称する。

## 【 0 0 1 4 】

図 5 に示すように、複数の表面伝導型電子放出素子を単純マトリクス配線した電子源においては、所望の電子ビームを出力させるため、行方向配線 502 及び列方向配線 503 に適宜の電気信号を印加する。例えば、マトリクス中の任意の 1 行の表面伝導型電子放出素子を駆動するには、選択する行の行方向配線 502 には選択電圧  $V_s$  を印加し、同時に非選択の行の行方向配線 502 には  $V_{ns}$  を印加する。これと同期して、列方向配線 503 に電子ビームを出力するための駆動電圧  $V_e$  を印加する。

## 【 0 0 1 5 】

この方法によれば、配線抵抗による電圧降下を無視すれば、選択する行の表面伝導型電子放出素子には、 $V_e - V_s$  の電圧が印加される。また、非選択行の表面



伝導型電子放出素子には、 $V_e - V_{ns}$ の電圧が印加される。そして、 $V_e$ 、 $V_s$ 、 $V_{ns}$ を適宜の大きさの電圧にすれば、選択する行の表面伝導型電子放出素子だけから所望の強度の電子ビームが出力されるはずであり、また列方向配線の各々に異なる駆動電圧 $V_e$ を印加すれば、選択する行の素子の各々から異なる強度の電子ビームが出力されるはずである。

【0016】

また、表面伝導型電子放出素子の応答速度は高速であるため、駆動電圧 $V_e$ を印加する時間の長さを変えれば、電子ビームが出力される時間の長さも変えることができるはずである。従って、複数の表面伝導型電子放出素子を単純マトリクス配線した電子源には、いろいろな応用可能性があり、例えば、画像情報に応じた電気信号を適宜印加すれば、画像表示装置用の電子源として好適に用いることができる。

【0017】

さらに、本発明者らは、表面伝導型電子放出素子の真空中に放出される電流（以下、電子放出電流 $I_e$ と称する）のさらなる増大、及びその効率向上に関して、鋭意検討、実験を行った結果、堆積処理工程と呼ぶ新たな工程を付加し、導電成膜の亀裂に堆積物を形成することにより、真空中での電子放出電流 $I_e$ の増大が可能となることを知見した。

【0018】

ここで、堆積処理という工程は、フォーミングが終了した素子に施す処理であり、 $1 \times 10^{-2} \sim 1 \times 10^{-3}$  Pa程度の真空度で、定電圧のパルス印加を繰り返すことにより、雰囲気中に存在する物質から堆積物を堆積させることにより、放出電流 $I_e$ を著しく増加させる処理である。

【0019】

しかしながら、例えば複数の表面伝導型電子放出素子を $m$ 行 $\times$  $n$ 列の単純マトリクス配線した電子源を製造する場合、この堆積処理工程において $1 \sim m$ 行までのラインに順番に堆積処理を行った場合、1ラインあたり30分の処理時間を要したとして、全体では $30 \times m$ 分の時間がかかることになり、莫大な処理時間が必要となるばかりか、雰囲気中の物質の量が長時間において変化してしまい、全

ラインに一定の条件で堆積処理を施すことが困難となり、均一な電子放出特性を得ることができない。これに対して、本出願人は、特開平 9 - 1 3 4 6 6 6 号公報において、複数の電子放出素子を複数のグループに分け、各グループごとに順次電圧印加を行い、前記複数の電子放出素子の電子放出部に堆積物を付与する堆積工程を有する電子源の製造方法を提案している。

【 0 0 2 0 】

【発明が解決しようとする課題】

本発明の課題は、電子源、画像形成装置を好適に製造する方法、及び該方法による電子源と画像形成装置を提供することにある。

【 0 0 2 1 】

【課題を解決するための手段】

本発明に係る電子源及び画像形成装置、及びこれらの製造方法は、上述した目的を達成するため、以下の特徴点を備えている。

【 0 0 2 2 】

本発明の電子源の製造方法は、所定の間隙を備えた電子放出素子を複数個、複数の行方向配線と複数の列方向配線とによりマトリクス状に結線してなる電子源の製造方法であって、

電子放出素子となるべき構造を備えたプレ素子を形成した後、複数のプレ素子を複数のグループに分け、各グループをさらに複数のサブグループに分割し、各サブグループ内において 1 個以上のプレ素子を単位として、全グループ同時に、1 サブグループ内のプレ素子について上記単位毎に順次電圧を印加する工程を、所定のガス雰囲気においてサブグループ毎に順次施すことにより、各プレ素子の間隙に堆積物を堆積させる堆積工程を有することを特徴とする。

【 0 0 2 3 】

本発明の電子源は、所定の間隙を備えた電子放出素子を複数個、複数の行方向配線と複数の列方向配線とによりマトリクス状に結線してなり、上記間隙に堆積物を有し、上記本発明の記載の電子源の製造方法によって製造されたことを特徴とする。

【 0 0 2 4 】

さらに本発明の画像形成装置は、上記本発明の電子源と、該電子源からの電子線の照射により画像を形成する画像形成部材とを備えたことを特徴とする。

【 0 0 2 5 】

さらにまた、本発明の画像形成装置は、上記本発明の電子源の製造方法により電子源を製造し、該電子源からの電子線の照射により画像を形成する画像形成部を組み合わせることを特徴とする。

【 0 0 2 6 】

【発明の実施の形態】

本発明の電子源を構成する電子放出素子の好ましい例として、平面型表面伝導型電子放出素子を例に挙げて該素子について詳細に説明する。

【 0 0 2 7 】

図 2 は、本発明に用いられる平面型表面伝導型電子放出素子の構成を示す模式図であり、図 2 ( a ) は平面図、図 2 ( b ) は断面図である。図 2 において、2 0 1 は基板、2 0 2、2 0 3 は素子電極、2 0 4 は導電性膜、2 0 5 は電子放出部である。

【 0 0 2 8 】

基板 2 0 1 としては、石英ガラス、N a 等の不純物含有量を減少したガラス、青板ガラス、アルミナ等のセラミックス及び S i 基板等を用いることができる。

【 0 0 2 9 】

対向する素子電極 2 0 2、2 0 3 の材料としては、一般的な導体材料を用いることができる。素子電極 2 0 2、2 0 3 は、例えば、N i、C r、A u、M o、W、P t、T i、A l、C u、P d 等の金属あるいは合金及び P d、A g、A u、R u O<sub>2</sub>、P d - A g 等の金属あるいは金属酸化物とガラス等から構成される印刷導体、I n<sub>2</sub>O<sub>3</sub>-S n O<sub>2</sub>等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【 0 0 3 0 】

素子電極間隔 L、素子電極長さ W、導電性膜 2 0 4 の形状等は、応用される形態等を考慮して、設計される。素子電極間隔 L は、好ましく、数百 n m から数百  $\mu$  m の範囲とすることができ、より好ましくは、数  $\mu$  m から数十  $\mu$  m の範囲とす

ることができる。素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数 $\mu\text{m}$ から数百 $\mu\text{m}$ の範囲とすることができる。素子電極202、203の膜厚dは、数十nmから数 $\mu\text{m}$ の範囲とすることができる。

【0031】

導電性膜204の膜厚は、素子電極202、203へのステップカバレッジ、素子電極202、203間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、数Åから数百nmの範囲とするのが好ましく、より好ましくは1nmより50nmの範囲とするのが良い。その抵抗値は、 $R_s$ が $1 \times 10^2 \sim 1 \times 10^7 \Omega/\square$ の値である。

【0032】

なお、本願明細書において、フォーミング処理については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する処理を包含するものである。

【0033】

導電性膜204を構成する材料は、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pd等の金属、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>等の酸化物、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>4</sub>、GdB<sub>4</sub>等の硼化物、TiC、ZrC、HfC、Ta<sub>4</sub>C<sub>3</sub>、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等の中から適宜選択される。

【0034】

電子放出部205は、導電性膜204の一部に形成された高抵抗の亀裂により構成され、導電性膜204の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部205の内部には、0.1nmの数倍から数十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜204を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部205及びその近傍の導電性膜204には、堆積物、好ましくは少なくとも炭素を含む堆積物を有する。

【0035】

上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図 3 に模式的に示す。

【 0 0 3 6 】

以下、図 2 及び図 3 を参照しながら、表面伝導型電子放出素子の製造方法の一例について説明する。ここで、図 3 において図 2 と同様の部位に関しては、同一の符号を付している。

【 0 0 3 7 】

基板 2 0 1 を洗剤、純水及び有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板 2 0 1 上に素子電極 2 0 2、2 0 3 を形成する（図 3（a））。

【 0 0 3 8 】

素子電極 2 0 2、2 0 3 を設けた基板 2 0 1 に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜 2 0 4 の材料の金属を主要成分とする有機金属化合物の溶液を用いることができる。さらに、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、導電性膜 2 0 4 を形成する（図 3（b））。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性膜 2 0 4 の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることもできる。

【 0 0 3 9 】

つづいて、フォーミング工程を行う。このフォーミング工程の方法の一例として、通電処理による方法を説明する。上記素子電極 2 0 2、2 0 3 間に、不図示の電源より通電すると、導電性膜 2 0 4 に構造の変化した電子放出部 2 0 5 が形成される（図 3（c））。通電フォーミングにより、導電性膜 2 0 4 を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位が電子放出部 2 0 5 である。

【 0 0 4 0 】

通電フォーミングの電圧波形の例を図 4 に示す。

【 0 0 4 1 】

通電フォーミングの電圧波形は、特にパルス波形が好ましい。これには、パルス波高値を定電圧としたパルスを連続的に印加する図 4 (a) に示した方法と、パルス波高値を増加させながら電圧パルスを印加する図 4 (b) に示した方法がある。

【 0 0 4 2 】

図 4 (a) における  $T_1$  及び  $T_2$  は電圧波形のパルス幅とパルス間隔である。通常、 $T_1$  は、 $1 \mu \text{sec} \sim 10 \text{msec}$ 、 $T_2$  は、 $10 \mu \text{sec} \sim 10 \text{msec}$  の範囲で設定される。三角波の波高値（通電フォーミング時のピーク電圧）は、表面伝導型電子放出素子の形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は、三角波に限定されるものではなく、矩形波など所望の波形を採用することができる。

【 0 0 4 3 】

図 4 (b) における  $T_1$  及び  $T_2$  は、図 4 (a) に示したものと同様である。また、三角波の波高値（通電フォーミング時のピーク電圧）は、例えば 0.1 V ステップ程度ずつ増加させる。

【 0 0 4 4 】

通電フォーミング処理の終了は、パルス間隔  $T_2$  中に、導電性膜 204 を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば 0.1 V 程度の電圧印加により流れる電流を測定し、抵抗値を求めて、 $1 \text{M}\Omega$  以上の抵抗を示した時、通電フォーミングを終了する。ここで、本発明においては、本発明が要件とする製造工程を終了する前の状態をプレ素子と称する。本発明が要件とする堆積工程を施す前のプレ素子は、例えば表面伝導型電子放出素子の場合、通電フォーミングを施しており、電子放出素子となる構造を備えていることが望ましい。

【 0 0 4 5 】

その後、通電フォーミングを終えたプレ素子に所定のガス雰囲気中で、電圧を印加することにより、堆積工程を施し、電子放出素子とする。ここで、上記ガス雰囲気としては、好ましくは有機物質を含有するガス雰囲気であり、例えば、油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に、雰

気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に、適当な有機物質のガスを導入することによっても得られる。このときの好ましいガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に応じ適宜設定される。

【 0 0 4 6 】

適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸等の有機酸類等を挙げることができ、具体的には、メタン、エタン、プロパンなど $C_nH_{2n+2}$ の組成式で表される飽和炭化水素、エチレン、プロピレンなど $C_nH_{2n}$ 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等あるいはこれらの混合物を使用することができる。

【 0 0 4 7 】

この処理により、雰囲気中に存在する物質から堆積物がプレ素子の間隙（導電性膜 2 0 4 の亀裂部分）に堆積し、素子電流  $I_f$ 、放出電流  $I_e$  が著しく変化ようになる。堆積工程の終了判定は、素子電流  $I_f$  と放出電流  $I_e$  を測定しながら、適宜行う。なお、パルス幅、パルス間隔、パルス波高値などは、適宜設定される。

【 0 0 4 8 】

上記堆積物は、有機物質を含有するガスを用いた場合には、炭素及び炭素化合物であり、具体的には、例えばグラファイト（いわゆる H O P G、P G、G C を包含するもので、H O P G はほぼ完全なグラファイトの結晶構造、P G は結晶粒が 2 0 0 Å 程度で結晶構造がやや乱れたもの、G C は結晶粒が 2 0 Å 程度になり結晶構造の乱れがさらに大きくなったものを指す）、非晶質カーボン（アモルファスカーボン、及びアモルファスカーボンと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、5 0 n m 以下が好ましく、3 0 n m 以下がより好ましい。

## 【 0 0 4 9 】

このような工程を経て得られた電子放出素子には、安定化工程を施すことが好ましい。この工程は、真空容器内の物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソープションポンプ、イオンポンプ等の真空排気装置を挙げることができる。

## 【 0 0 5 0 】

前記堆積工程で排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合には、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧で  $1.3 \times 10^{-6}$  Pa 以下が好ましく、さらには  $1.3 \times 10^{-8}$  Pa 以下が特に好ましい。さらに、真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、 $80 \sim 250^\circ\text{C}$ 、好ましくは  $150^\circ\text{C}$  以上で、できるだけ長時間処理するのが好ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \times 10^{-5}$  Pa 以下が好ましく、さらに  $1.3 \times 10^{-8}$  Pa 以下が特に好ましい。

## 【 0 0 5 1 】

安定化工程を行った後の駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、堆積工程における雰囲気中の物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することができる。このような真空雰囲気を採用することにより、新たな堆積物の堆積を抑制することができ、また真空容器や基板などに吸着した  $\text{H}_2\text{O}$ 、 $\text{O}_2$  なども除去することができ、結果として素子電流  $I_f$ 、放出電流  $I_e$  が安定する。

## 【 0 0 5 2 】

上述した工程を経て得られる、本発明の電子源を構成する電子放出素子の基本



特性について、図 6、図 7 を参照しながら説明する。

【 0 0 5 3 】

図 6 は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図 6 においても、図 2 に示した部位と同じ部位には、図 2 に付した符号と同一の符号を付している。

【 0 0 5 4 】

図 6 において、6 0 5 は真空容器であり、6 0 6 は排気ポンプである。真空容器 6 0 5 内には、電子放出素子が配されている。すなわち、2 0 1 は電子放出素子を構成する基板であり、2 0 2 及び 2 0 3 は素子電極、2 0 4 は導電性膜、2 0 5 は電子放出部である。また、6 0 1 は、電子放出素子に素子電圧  $V_f$  を印加するための電源、6 0 0 は素子電極 2 0 2、2 0 3 間の導電性膜 2 0 4 を流れる素子電流  $I_f$  を測定するための電流計、6 0 4 は素子の電子放出部 2 0 5 より放出される放出電流  $I_e$  を捕捉するためのアノード電極である。また、6 0 3 はアノード電極 6 0 4 に電圧を印加するための高圧電源、6 0 2 は素子の電子放出部 2 0 5 より放出される放出電流  $I_e$  を測定するための電流計である。一例として、アノード電極 6 0 4 の電圧を 1 k V ~ 1 0 k V の範囲とし、アノード電極 6 0 4 と電子放出素子との距離  $H$  を 2 m m ~ 8 m m の範囲として測定を行う。

【 0 0 5 5 】

真空容器 6 0 5 内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。

【 0 0 5 6 】

排気ポンプ 6 0 6 は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子放出素子基板を配した真空処理装置の全体は、不図示のヒーターにより加熱することができる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【 0 0 5 7 】

図 7 は、図 6 に示した真空処理装置を用いて測定された放出電流  $I_e$  及び素子

電流  $I_f$  と、素子電圧  $V_f$  の関係を模式的に示した図である。図 7 においては、放出電流  $I_e$  が素子電流  $I_f$  に比べて著しく小さいので、任意単位で示している。なお、縦・横軸ともリニアスケールである。

【 0 0 5 8 】

図 7 から明らかなように、本発明に用いられる表面伝導型電子放出素子は、放出電流  $I_e$  に関して、次の 3 つの特徴的性質を有する。

【 0 0 5 9 】

第 1 に、本素子はある電圧（しきい値電圧と称する；図 7 中の  $V_{th}$ ）以上の素子電圧を印加すると急激に放出電流  $I_e$  が増加し、一方しきい値電圧  $V_{th}$  以下では放出電流  $I_e$  がほとんど検出されない。つまり、放出電流  $I_e$  に対する明確なしきい値電圧  $V_{th}$  を持った非線形素子である。

【 0 0 6 0 】

第 2 に、放出電流  $I_e$  が素子電圧  $V_f$  に単調増加依存するため、放出電流  $I_e$  は素子電圧  $V_f$  で制御することができる。

【 0 0 6 1 】

第 3 に、アノード電極 6 0 4 に捕捉される放出電荷は、素子電圧  $V_f$  を印加する時間に依存する。つまり、アノード電極 6 0 4 に捕捉される電荷量は、素子電圧  $V_f$  を印加する時間により制御することができる。

【 0 0 6 2 】

以上の説明より理解されるように、表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると、複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【 0 0 6 3 】

図 7 においては、素子電流  $I_f$  が素子電圧  $V_f$  に対して単調増加する（以下、「MI 特性」と称する）例を示した。素子電流  $I_f$  が素子電圧  $V_f$  に対して電圧制御型負性抵抗特性（以下、「VCNR 特性」と称する）を示す場合もある（不図示）。これら特性は、前述の工程を制御することで制御することができる。

【 0 0 6 4 】

本発明の電子源は上記した表面伝導型電子放出素子を含む、間隙を備えた電子放出素子を複数個、基板上に配列し構成することができる。

【 0 0 6 5 】

上記表面伝導型電子放出素子については、前述したとおり3つの特性がある。すなわち、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御することができる。一方、しきい値電圧以下では、殆ど電子は放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子にパルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御することができる。

【 0 0 6 6 】

以下この原理に基づき、本発明の電子源について、上記表面伝導型電子放出素子を用いて構成した例を挙げて、図5を用いて説明する。図5は本発明の電子源の一実施形態の模式図であり、図5において、501は電子源基板、502はX方向配線、503はY方向配線である。また、504は表面伝導型電子放出素子、505は結線である。

【 0 0 6 7 】

m本のX方向配線502は、 $D_{x1}$ 、 $D_{x2}$ 、 $\dots$ 、 $D_{xm}$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は適宜設計される。Y方向配線503は、 $D_{y1}$ 、 $D_{y2}$ 、 $\dots$ 、 $D_{yn}$ のn本の配線よりなり、X方向配線502と同様に形成される。これらm本のX方向配線502とn本のY方向配線503との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している（m、nは、共に正の整数）。

【 0 0 6 8 】

不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された $SiO_2$ 等で構成される。例えば、X方向配線502を形成した基板501の全面あるいは一部に所望の形状で形成され、特に、X方向配線502とY方向配線503の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定され

る。X方向配線502とY方向配線503は、それぞれ外部端子として引き出されている。

【0069】

表面伝導型放出素子504を構成する一对の電極（不図示）は、m本のX方向配線502とn本のY方向配線503に、導電性金属等からなる結線505によって電氣的に接続されている。

【0070】

X方向配線502とY方向配線503を構成する材料、結線505を構成する材料、及び一对の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なっても良い。これらの材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極であるということもできる。

【0071】

X方向配線502には、X方向に配列した表面伝導型放出素子504の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線503には、Y方向に配列した表面伝導型放出素子504の各列を入力信号に応じて変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0072】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0073】

次いで、本発明の画像形成装置について、図9、図10、及び図11を用いて説明する。図9は、本発明の画像形成装置の表示パネルの一例を示す模式図であり、図10は、図9の表示パネルに使用される蛍光膜の模式図である。図11は、NTSC方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【 0 0 7 4 】

図 9 において、8 0 1 は電子放出素子を複数配した電子源基板、9 0 1 は電子源基板 8 0 1 を固定したリアプレート、9 0 6 はガラス基板 9 0 3 の内面に蛍光膜 9 0 4 とメタルバック 9 0 5 等が形成されたフェースプレートである。また、9 0 2 は支持枠であり、この支持枠 9 0 2 には、リアプレート 9 0 1、フェースプレート 9 0 6 が低融点のフリットガラスなどを用いて接合されている。

【 0 0 7 5 】

8 0 4 は、図 2 に示した電子放出素子の堆積工程前の状態であるプレ素子に相当する。また、8 0 2、8 0 3 は、表面伝導型電子放出素子の一对の素子電極と接続された X 方向配線及び Y 方向配線である。尚、導電性膜については便宜上省略する。

【 0 0 7 6 】

外囲器 9 0 7 は、上述の如く、フェースプレート 9 0 6、支持枠 9 0 2、リアプレート 9 0 1 で構成される。リアプレート 9 0 1 は、主に基板 8 0 1 の強度を補強する目的で設けられているため、基板 8 0 1 自体で十分な強度を持つ場合には別体のリアプレート 9 0 1 は不要である。すなわち、基板 8 0 1 に直接支持枠 9 0 2 を封着し、フェースプレート 9 0 6、支持枠 9 0 2 及び基板 8 0 1 で外囲器 9 0 7 を構成しても良い。一方、フェースプレート 9 0 6、リアプレート 9 0 1 間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器 9 0 7 を構成することもできる。

【 0 0 7 7 】

図 1 0 は、蛍光膜を示す模式図である。蛍光膜 9 0 4 は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプ（図 1 0（a））、あるいはブラックマトリクス（図 1 0（b））などと呼ばれる黒色導電材 1 0 0 1 と蛍光体 1 0 0 2 とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体 1 0 0 2 間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜 9 0 4 における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料

としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【 0 0 7 8 】

ガラス基板 9 0 3 に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等を採用することができる。蛍光膜 9 0 4 の内面側には、通常メタルバック 9 0 5 が設けられる。メタルバック 9 0 5 を設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート 9 0 6 側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器 9 0 7 内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバック 9 0 5 は、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理（通常、「フィルミング」と称される）を行い、その後 A 1 を真空蒸着等を用いて堆積させることで作製することができる。

【 0 0 7 9 】

フェースプレート 9 0 6 には、さらに蛍光膜 9 0 4 の導電性を高めるため、蛍光膜 9 0 4 の外面側に透明電極（不図示）を設けてもよい。

【 0 0 8 0 】

前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【 0 0 8 1 】

図 9 に示した画像形成装置の表示パネルの製造方法の一例を以下に説明する。図 1 3 は、この工程に用いる装置の概要を示す模式図である。

【 0 0 8 2 】

表示パネル 1 3 1 は、排気管 1 3 2 を介して真空チャンバー 1 3 3 に連結され、さらにゲートバルブ 1 3 4 を介して排気装置 1 3 5 に接続されている。真空チャンバー 1 3 3 には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計 1 3 6、四重極質量分析器 1 3 7 等が取り付けられている。

【 0 0 8 3 】

表示パネル 1 3 1 の外囲器 9 0 7 内部の圧力などを直接測定することは困難であるため、真空チャンバー 1 3 3 内の圧力などを測定し、処理条件を制御する。

真空チャンバー 1 3 3 には、さらに必要なガスを真空チャンバー 1 3 3 内に導入して雰囲気制御するため、ガス導入ライン 1 3 8 が接続されている。このガス導入ライン 1 3 8 の他端には、導入物質源 1 4 0 が接続されており、導入物質がアンプルやボンベなどに入れて貯蔵されている。ガス導入ライン 1 3 8 の途中には、導入物質を導入するレートを制御するためのガス導入制御手段 1 3 9 が設けられている。このガス導入制御手段 1 3 9 としては、具体的には、スローリークバルブのように逃す流量を制御可能なバルブや、マスフローコントローラーなどが、導入物質の種類に応じて、それぞれ使用される。

## 【 0 0 8 4 】

図 1 3 に示す装置により、外囲器 9 0 7 の内部を排気し、フォーミングを行う。この際、例えば図 1 2 に示すように、Y 方向配線 8 0 3 を共通電極 1 2 0 1 に接続し、X 方向配線 8 0 2 の一つに接続された素子電極に電源 1 2 0 2 を用いて、同時に電圧パルスを印加して、フォーミングを行う。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すれば良い。また、複数の X 方向配線 8 0 2 に、位相をずらせたパルスを順次印加（スクロール）することにより、複数の X 方向配線 8 0 2 に接続された素子電極に電圧を印加してまとめてフォーミングする事も可能である。なお、図中、1 2 0 3 は電流測定用抵抗、1 2 0 4 は電流測定用のオシロスコープを示す。

## 【 0 0 8 5 】

フォーミング終了後、堆積工程を行う。堆積工程については、電圧印加法について後に詳述することとし、ここでは、ガス雰囲気について説明する。

## 【 0 0 8 6 】

外囲器 9 0 7 内には、外囲器 9 0 7 内を十分に排気した後、所定のガスがガス導入ライン 1 3 8 から導入される。あるいは、個別素子の堆積工程として記述したように、まず油拡散ポンプやロータリーポンプで排気し、これによって真空雰囲気中に残留する有機物質を用いても良い。この様にして形成したガス雰囲気中で、各プレ素子に電圧を印加することにより、堆積物、好ましくは炭素あるいは炭素化合物、ないし両者の混合物がプレ素子に堆積し、電子放出量がドラスティ

ックに上昇するのは、個別素子の場合と同様である。

【 0 0 8 7 】

堆積工程終了後は、個別素子の場合と同様に、安定化工程を行うことが好ましい。外囲器 9 0 7 を加熱して、8 0 ～ 2 5 0 ℃ に保持しながら、イオンポンプ、ソープションポンプなどのようにオイルを使用しない排気装置 1 3 5 により、排気管 1 3 2 を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナーで熱して溶解させて封じきる。外囲器 9 0 7 の封止後の圧力を維持するために、ゲッター処理を行なうこともできる。これは、外囲器 9 0 7 の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器 9 0 7 内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは、通常は B a 等が主成分であり、蒸着膜の吸着作用により、外囲器 9 0 7 内の雰囲気を維持するものである。

【 0 0 8 8 】

次に、本発明の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図 1 1 を用いて説明する。図 1 1 において、1 1 0 1 は表示パネル、1 1 0 2 は走査回路、1 1 0 3 は制御回路、1 1 0 4 はシフトレジスタ、1 1 0 5 はラインメモリ、1 1 0 6 は同期信号分離回路、1 1 0 7 は変調信号発生器、 $V_x$  及び  $V_a$  は直流電圧源である。

【 0 0 8 9 】

表示パネル 1 1 0 1 は、端子  $D_{x1} \sim D_{xm}$ 、端子  $D_{y1} \sim D_{yn}$  及び高圧端子 9 0 8 を介して、外部の電気回路と接続している。端子  $D_{x1} \sim D_{xm}$  には、表示パネル内に設けられている電子源、すなわち、 $m$  行  $\times$   $n$  列の行列状にマトリクス配線された表面伝導型電子放出素子群を 1 行（ $n$  素子）ずつ順次駆動するための走査信号が印加される。

【 0 0 9 0 】

端子  $D_{y1} \sim D_{yn}$  には、前記走査信号により選択された 1 行の表面伝導型電子放出素子の各素子の出力電子ビームを制御するための変調信号が印加される。高圧端子 9 0 8 には、直流電圧源  $V_a$  より、例えば 1 0 k V の直流電圧が供給される



が、これは表面伝導型電子放出素子から放出される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【 0 0 9 1 】

次に、走査回路 1 1 0 2 について説明する。同回路は、内部に  $m$  個のスイッチング素子を備えたものである（図 1 1 中、 $S_1 \sim S_m$  で模式的に示す）。各スイッチング素子は、直流電圧源  $V_x$  の出力電圧もしくは 0 [V]（グランドレベル）のいずれか一方を選択し、表示パネル 1 1 0 1 の端子  $D_{x1} \sim D_{xm}$  と電氣的に接続される。各スイッチング素子  $S_1 \sim S_m$  は、制御回路 1 1 0 3 が出力する制御信号  $T_{scan}$  に基づいて動作するものであり、例えば F E T のようなスイッチング素子を組み合わせることにより構成することができる。

【 0 0 9 2 】

直流電圧源  $V_x$  は、表面伝導型電子放出素子の特性（電子放出しきい値電圧）に基づき、走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【 0 0 9 3 】

制御回路 1 1 0 3 は、外部より入力する画像信号に基づいて適切な表示が行なわれるように、各部の動作を整合させる機能を有する。制御回路 1 1 0 3 は、同期信号分離回路 1 1 0 6 より送られる同期信号  $T_{sync}$  に基づいて、各部に対して  $T_{scan}$ 、 $T_{sft}$  及び  $T_{mry}$  の各制御信号を発生する。

【 0 0 9 4 】

同期信号分離回路 1 1 0 6 は、外部から入力される N T S C 方式のテレビ信号から、同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルタ）回路等を用いて構成することができる。同期信号分離回路 1 1 0 6 により分離された同期信号は、垂直同期信号と水平同期信号よりなるが、ここでは説明の便宜上  $T_{sync}$  信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は、便宜上 D A T A 信号と表した。この D A T A 信号は、シフトレジスタ 1 1 0 4 に入力される。

【 0 0 9 5 】

シフトレジスタ 1 1 0 4 は、時系列的にシリアルに入力される前記 D A T A 信

号を、画像の1ライン毎にシリアル／パラレル変換するためのもので、前記制御回路1103より送られる制御信号 $T_{sft}$ に基づいて動作する（すなわち、制御信号 $T_{sft}$ は、シフトレジスタ1104のシフトクロックであると言い換えても良い）。シリアル／パラレル変換された画像1ライン分のデータ（電子放出素子 $n$ 素子分の駆動データに相当）は、 $I_{d1} \sim I_{dn}$ の $n$ 個の並列信号として前記シフトレジスタ1104より出力される。

【0096】

ラインメモリ1105は、画像1ライン分のデータを必要時間の間だけ記憶するための記憶装置であり、制御回路1103より送られる制御信号 $T_{mry}$ にしたがって適宜 $I_{d1} \sim I_{dn}$ の内容を記憶する。記憶された内容は、 $I_{d'1} \sim I_{d'n}$ として出力され、変調信号発生器1107に入力される。

【0097】

変調信号発生器1107は、画像データ $I_{d'1} \sim I_{d'n}$ の各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調するための信号源であり、その出力信号は、端子 $D_{y1} \sim D_{yn}$ を通じて表示パネル1101内の表面伝導型電子放出素子に印加される。

【0098】

前述したように、本発明の適用される電子放出素子は、放出電流 $I_e$ に対して以下の基本特性を有している。すなわち、電子放出には明確なしきい値電圧 $V_{th}$ があり、 $V_{th}$ 以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出しきい値以下の電圧を印加しても電子放出は生じないが、電子放出しきい値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 $V_{\blacksquare}$ を変化させることにより、出力される電子ビームの強度を制御することが可能である。また、パルスの幅 $P_{\blacksquare}$ を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0099】

したがって、入力信号に応じて電子放出素子を変調する方式としては、電圧変

調方式とパルス幅変調方式等を採用することができる。電圧変調方式を実施するに際しては、変調信号発生器 1 1 0 7 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【 0 1 0 0 】

パルス幅変調方式を実施するに際しては、変調信号発生器 1 1 0 7 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【 0 1 0 1 】

シフトレジスタ 1 1 0 4 やラインメモリ 1 1 0 5 は、デジタル信号式のものでもアナログ信号式のものでも採用することができる。画像信号のシリアル／パラレル変換や記憶が、所定の速度で行なわれれば良いからである。

【 0 1 0 2 】

デジタル信号式を用いる場合には、同期信号分離回路 1 1 0 6 の出力信号 DATA をデジタル信号化する必要があるが、これには 1 1 0 6 の出力部に A/D 変換器を設ければ良い。これに関連して、ラインメモリ 1 1 0 5 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器 1 1 0 7 に用いられる回路が若干異なったものとなる。すなわち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1 1 0 7 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 1 1 0 7 には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【 0 1 0 3 】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1 1 0 7 には、例えばオペアンプなどを用いた増幅回路を採用することができ、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例え

ば、電圧制御型発振回路（VOC）を採用することができ、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0104】

このような構成をとり得る本発明の画像表示装置においては、各電子放出素子に、容器外端子 $D_{x1} \sim D_{xm}$ 、 $D_{y1} \sim D_{yn}$ を介して電圧を印加することにより、電子放出が生ずる。同時に高圧端子908を介してメタルバック905、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜904に衝突し、発光が生じて画像が形成される。

【0105】

ここで述べた画像形成装置の構成は、本発明の画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限られるものではなく、PAL、SECAM方式など他、これよりも、多数の走査線からなるテレビジョン信号（例えば、MUSE方式をはじめとする高品位TV）方式も採用することができる。

【0106】

図17は、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した本発明の画像形成装置の一例を示す図である。

【0107】

図中、1700はディスプレイパネル、1701はディスプレイパネルの駆動回路、1702はディスプレイコントローラ、1703はマルチプレクサ、1704はデコーダ、1705は入出力インタフェース回路、1706はCPU、1707は画像生成回路、1708～1710は画像メモリインタフェース回路、1711は画像入力インターフェース回路、1712及び1713はTV信号受信回路、1714は入力部である。

【0108】

尚、本画像形成装置は、例えばテレビジョン信号のように、映像情報と音声情報の両方を含む信号を受信する場合には当然映像の表示と同時に音声を再生する

ものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶等に関する回路やスピーカー等については説明を省略する。

【 0 1 0 9 】

以下、画像信号の流れに沿って各部の機能を説明する。

【 0 1 1 0 】

先ず、TV信号受信回路1713は、例えば電波や空間光通信等のような無線伝送系を用いて伝送されるTV信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えばNTSC方式、PAL方式、SECAM方式等、いずれの方式でも良い。また、これらよりさらに多数の走査線よりなるTV信号、例えばMUSE方式をはじめとするいわゆる高品位TV信号は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【 0 1 1 1 】

上記TV信号受信回路1713で受信されたTV信号は、デコーダ1704に出力される。

【 0 1 1 2 】

また、TV信号受信回路1712は、例えば同軸ケーブルや光ファイバ等のような有線伝送系を用いて伝送されるTV信号を受信するための回路である。前記TV信号受信回路1713と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ1704に出力される。

【 0 1 1 3 】

画像入力インターフェース回路1711は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1704に出力される。

【 0 1 1 4 】

画像メモリインターフェース回路1710は、ビデオテープレコーダ（以下「VTR」と称する）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ1704に出力される。

【 0 1 1 5 】

画像メモリインターフェース回路 1 7 0 9 は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 1 7 0 4 に出力される。

【 0 1 1 6 】

画像メモリインターフェース回路 1 7 0 8 は、静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ 1 7 0 4 に入力される。

【 0 1 1 7 】

入出力インターフェース回路 1 7 0 5 は、本画像表示装置と、外部のコンピュータ、コンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力や、場合によっては本画像形成装置の備える CPU 1 7 0 6 と外部との間で制御信号や数値データの入出力などを行なうことも可能である。

【 0 1 1 8 】

画像生成回路 1 7 0 7 は、前記入出力インターフェース回路 1 7 0 5 を介して外部から入力される画像データや文字・図形情報や、或いは CPU 1 7 0 6 より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリや、画像処理を行なうためのプロセッサ等をはじめとして、画像の生成に必要な回路が組み込まれている。

【 0 1 1 9 】

本回路により生成された表示用画像データは、デコーダ 1 7 0 4 に出力されるが、場合によっては前記入出力インターフェース回路 1 7 0 5 を介して外部のコンピュータネットワークやプリンタに出力することも可能である。

【 0 1 2 0 】

CPU 1 7 0 6 は、主として本画像表示装置の動作制御や、表示画像の生成や選択、編集に関わる作業を行なう。

## 【 0 1 2 1 】

例えば、マルチプレクサ 1 7 0 3 に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。その際には表示する画像信号に応じてディスプレイパネルコントローラ 1 7 0 2 に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路 1 7 0 7 に対して画像データや文字・図形情報を直接出力したり、或いは前記入出力インターフェース回路 1 7 0 5 を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

## 【 0 1 2 2 】

尚、CPU 1 7 0 6 は、これ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサ等のように、情報を生成したり処理する機能に直接関わっても良い。或いは前述したように、入出力インターフェース回路 1 7 0 5 を介して外部のコンピュータネットワークと接続し、例えば数値計算等の作業を外部機器として共同して行なっても良い。

## 【 0 1 2 3 】

入力部 1 7 1 4 は、前記 CPU 1 7 0 6 に使用者が命令やプログラム、或いはデータなどを入力するためのものであり、例えばキーボードやマウスの他、ジョイスティック、バーコードリーダー、音声認識装置等の多様な入力機器を用いることが可能である。

## 【 0 1 2 4 】

デコーダ 1 7 0 4 は、前記 1 7 0 7 ～ 1 7 1 3 より入力される種々の画像信号を 3 原色信号、または輝度信号と I 信号、Q 信号に逆変換するための回路である。尚、図中に点線で示すように、デコーダ 1 7 0 4 は内部に画像メモリを備えていることが望ましい。これは、例えば MUSE 方式をはじめとして、逆変換する際に画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画像の表示が容易になる。或いは前記画像生成回路 1 7 0 7 及び CPU 1 7 0 6 と共同して、画像の間引き、補完、拡大、縮小、合成をはじめとする画像処理や編集が容易になるという利点を得られる。

【 0 1 2 5 】

マルチプレクサ 1 7 0 3 は、前記 CPU 1 7 0 6 より入力される制御信号に基づき、表示画像を適宜選択するものである。即ち、マルチプレクサ 1 7 0 3 はデコーダ 1 7 0 4 から入力される逆変換された画像信号の内から所望の画像信号を選択して駆動回路 1 7 0 1 に出力する。その場合には、一画面表示時間内で画像信号を切り換えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【 0 1 2 6 】

ディスプレイパネルコントローラ 1 7 0 2 は、前記 CPU 1 7 0 6 より入力される制御信号に基づき、駆動回路 1 7 0 1 の動作を制御するための回路である。

【 0 1 2 7 】

ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（不図示）の動作シーケンスを制御するための信号を駆動回路 1 7 0 1 に対して出力する。ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路 1 7 0 1 に対して出力する。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路 1 7 0 1 に対して出力する場合もある。

【 0 1 2 8 】

駆動回路 1 7 0 1 は、ディスプレイパネル 1 7 0 0 に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 1 7 0 3 から入力される画像信号と、前記ディスプレイパネルコントローラ 1 7 0 2 より入力される制御信号に基づいて動作するものである。

【 0 1 2 9 】

以上、各部の機能を説明したが、図 1 7 に例示した構成により、本画像形成装置においては、多様な画像情報源より入力される画像情報をディスプレイパネル 1 7 0 0 に表示することが可能である。即ち、テレビジョン放送をはじめとする各種の画像信号は、デコーダ 1 7 0 4 において逆変換された後、マルチプレクサ 1 7 0 3 において適宜選択され、駆動回路 1 7 0 1 に入力される。一方、ディス



プレイコントローラ 1 7 0 2 は、表示する画像信号に応じて駆動回路 1 7 0 1 の動作を制御するための制御信号を発生する。駆動回路 1 7 0 1 は、上記画像信号と制御信号に基づいてディスプレイパネル 1 7 0 0 に駆動信号を印加する。これにより、ディスプレイパネル 1 7 0 0 において画像が表示される。これらの一連の動作は、CPU 1 7 0 6 により統括的に制御される。

## 【 0 1 3 0 】

本画像形成装置においては、前記デコーダ 1 7 0 4 に内蔵する画像メモリや、画像生成回路 1 7 0 7 及び情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補完、色変換、画像の縦横比変換等をはじめとする画像処理や、合成、消去、接続、入れ替え、嵌め込み等をはじめとする画像編集を行なうことも可能である。また、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

## 【 0 1 3 1 】

従って、本画像形成装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム器などの機能を一台で兼ね備えることが可能で、産業用或いは民生用として極めて応用範囲が広い。

## 【 0 1 3 2 】

尚、図 1 7 は、電子放出素子を電子ビーム源とする表示パネルを用いた画像形成装置とする場合の構成の一例を示したに過ぎず、本発明の画像形成装置がこれのみに限定されるものでないことは言うまでもない。

## 【 0 1 3 3 】

例えば、図 1 7 の構成要素の内、使用目的上必要のない機能に関わる回路は省いてもさしつかえない。また、これとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本画像表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明器、モデムを含む送受信回路等を構成要素に追加するのが好適である。

## 【 0 1 3 4 】

本画像形成装置においては、電子放出素子を電子源としているので、ディスプレイパネルの薄型化が容易なため、画像形成装置の奥行きを小さくすることができる。それに加えて、電子放出素子を電子ビーム源とする表示パネルは大画面化が容易で輝度が高く、視野角特性にも優れるため、画像形成装置は、臨場感にあふれ、迫力に富んだ画像を視認性良く表示することが可能である。

## 【 0 1 3 5 】

次に、本発明による電子源に対する好適な堆積工程について説明する。

## 【 0 1 3 6 】

従来の電子源の製造方法の堆積工程では、例えば、 $m$ 行 $\times$  $n$ 列の配置において  $m = 1000$ 、 $n = 2000$ とした場合、連続する100行単位でグループ分けして、10個のグループを順次電圧印加しようとする場合、1グループに必要な電流は、1プレ素子に関して2mAと仮定すると400Aとなり、発熱による素子特性の変化や基板の材質、形状によっては破壊が発生する場合があった。

## 【 0 1 3 7 】

さらに、連続する10行単位でグループ分けして、100個のグループを順次電圧印加しようとする場合、1グループに必要な電流は40Aとなる。この際、プレ素子に印加される電圧は、例えば1msecのパルス幅とした場合、99msecの休止時間が発生してしまい(Duty = 1/100)、Dutyが制約され、素子特性を悪化させる場合がある。また、隣接する行を同時あるいは順次電圧印加すると、発熱、堆積物を堆積させるための雰囲気ガス中の物質の消費による該物質の分圧変動、障害ガスの発生により素子特性が変化してしまう場合がある。

## 【 0 1 3 8 】

本発明は、例えば行方向配線単位で電圧を印加して同時電圧印加及び順次電圧印加を複数回行って堆積処理を施す場合に、同時電圧印加配線を所望の間隔で離し、かつ順次電圧印加する配線を所望の間隔で離して、当該処理による発熱、障害ガスの発生、消費による上記物質の分圧低下の影響を抑制するものである。以下、実施形態を挙げて説明する。

## 【 0 1 3 9 】

図 5 は、 $m$  行  $\times$   $n$  列の単純マトリクス配線された堆積工程前の電子源基板の模式図である。また、図 8 は、各行に印加される電圧のタイミングチャートである。

#### 【 0 1 4 0 】

複数のプレ素子は、行方向配線 5 0 2 と列方向配線 5 0 3 により結線されており、行方向配線 5 0 2 と列方向配線 5 0 3 とに所望の電圧を印加することにより、各プレ素子に所望の電圧が印加される。 $m$  行の配線は、同時に電圧が印加される行方向配線の本数でありグループの数である  $a$  と、グループ内で順次電圧が印加される行方向配線の本数であり各サブグループに含まれる行方向配線数である  $c$  と、堆積処理を行う回数でありサブグループ数を示す  $b$  により、 $m = a \times b \times c$  で表すことができる。つまり、各グループ、サブグループは行方向配線単位で分割されていて、 $m$  本の行方向配線は  $b \times c$  本の配線を有する  $a$  個のグループに分割され、かつ各グループは  $c$  本の行方向配線からなる  $b$  個のサブグループに分割される。そして、各グループのサブグループ内で、各行方向配線に順次電圧印加される。さらに、電圧を印加するサブグループのグループ間の配置の関係は、同時に電圧印加あるいは順次電圧印加されるサブグループの選択において、できるだけ離すように組み合わせを行う。

#### 【 0 1 4 1 】

図 8 において、 $S_1 \sim S_c$  によって示される  $c$  個の信号を順次スクロールする。

#### 【 0 1 4 2 】

図 1、図 1 4、図 1 5 に、それぞれの  $S_1 \sim S_c$  に属する配線番号及び電子源基板の行方向配線のグループ、サブグループ分割形態の例を模式的に示す。ここで、 $D_{yq}$  は  $q$  番目の行方向配線を示しており、例えば  $D_{y(a-1)bc+b+d}$  は  $(a-1) \times b \times c + b + d$  番目の行方向配線を示している。また、図中の  $G_p$  は、 $p$  番目のグループを意味し、 $SG_r$  は各グループ内における  $r$  番目のサブグループを意味する。さらに、 $s$  ライン目とは、各サブグループ内における  $s$  番目の行方向配線を示す。

#### 【 0 1 4 3 】

図 1 は、同時に電圧印加する配線を極力離し、次に順次電圧印加する配線を離

す場合であり、各グループが連続した領域を有して順次配置されている。図1の構成において、 $m$ 本の行方向配線は、 $D_{y1} \sim D_{ybc}$ 、 $D_{ybc+1} \sim D_{y2bc}$ 、 $\dots$ 、 $D_{y(a-1)bc+1} \sim D_{yabc}$ の $a$ 個のグループに分割されている。さらに、 $D_{y1} \sim D_{ybc}$ のグループは、 $b$ 本間隔で配置された $c$ 本からなるサブグループに分割され、これにより、各グループ内で $b$ 本間隔の $c$ 本が順次電圧印加され、 $b \times c$ 本間隔で $a$ 本が同時に電圧が印加されることになる。そして、各グループ内の1つのサブグループの堆積処理が行われた後に、次のサブグループの堆積処理が行われる。電圧を印加するサブグループのグループ間の配置の関係は、図1に示すようになっており、 $b \times c$ 本間隔における同時電圧印加及び順次電圧印加する配線間隔は $b$ となっている。

## 【0144】

即ち、最初に図中斜線で示した各グループの $SG_1$ の1ライン目の配線に電圧を印加する。次いで、同じサブグループの2ライン目以降に順次電圧を印加し、各グループの $SG_1$ の堆積処理を行う。この堆積処理をサブグループ毎に、 $SG_2$ 以降繰り返す、全体で $b$ 回行うことにより、全サブグループの堆積処理を行う。

## 【0145】

次に、図14に、順次電圧を印加する配線を極力離し、次にできるだけ同時に電圧印加配線を離す場合について説明する。図14の場合、各グループの各サブグループの $x$ 番目の単位配線を全サブグループについてグループ毎に連続して配置している。まず、図1と同様に、 $m$ 本の行方向配線を $c$ 本の行方向配線を有する $b$ 個のサブグループを含む $a$ 個のグループに分割する。次に、グループ毎に、各サブグループの同じラインのみが連続するように、配置させる。つまり、図14に示したように、 $G_1$ の $SG_1$ の1ライン目、 $SG_2$ の1ライン目、 $\dots$ 、 $SG_b$ の1ライン目、と $G_1$ 内の各サブグループの1ライン目のみを連続配置させ、同様に、 $G_2$ 以降のグループについて、各サブグループの1ライン目のみをサブグループ順に配置させる。次いで、この配置を2ライン目以降について行う。各グループは、それぞれ $(a-1) \times b$ 間隔で配置され、さらに各サブグループは $a \times b$ 本間隔で配置される。

## 【0146】

堆積処理は、最初に図 1 4 の斜線で示した、各グループの  $SG_1$  の 1 ライン目に同時に電圧を印加し、順次同じサブグループの 2 ライン目に印加する。この工程をサブグループ毎に  $b$  回行って、全素子の堆積処理を終了する。従って、 $b$  本間隔で同時に電圧が印加され、順次電圧印加する配線間隔は  $b$  本～ $a \times b$  本離れることとなる。

## 【0 1 4 7】

また、図 1 5 に第 3 の例として、行方向配線単位で連続した  $e$  個のエリアに分割し、 $a \times b \times c$  本からなる各エリアに対して、上記図 1 4 と同じ堆積処理を行う場合について説明する。図中  $E_t$  は、 $t$  番目のエリア ( $t = 1 \sim e$ ) を意味する。この場合、基本的には、図 1 4 の構成が  $e$  個存在することになり、従って、堆積工程は、各サブグループの堆積処理を 1 工程として、 $b \times e$  回繰り返される。

## 【0 1 4 8】

以上、本発明に係る堆積処理方法の例をいくつか説明したが、本発明は上記例に限定されるものではない。本発明においては、特定の堆積工程を行うことにより、 $Duty$  の制約が少なくなり、当該処理による発熱、阻害ガスの発生、堆積物のために消費される雰囲気ガス中の物質の分圧低下の影響を抑制し、基板の破損、素子特性のばらつきを抑制した上で、短時間で堆積工程を実施することができる。その結果、本発明の電子源においては、輝度分布の低減が可能となり、高品位な画像形成装置を構成することができる。

## 【0 1 4 9】

尚、以上の実施形態では、本発明の堆積工程を適用する対象は、表面伝導型電子放出素子とし、堆積物は電子放出部となる導電性膜の間に堆積するものとしたが、本発明の適用対象はこれに限定されるものではない。例えば、スピント型の電子放出素子の製造に本発明を適用することができる。即ち、スピント型電子放出素子のエミッタコーン電極、もしくはゲート電極、或いはエミッタコーン電極とゲート電極の両方に本発明の適用により堆積物を堆積されたものであってもよい。

## 【0 1 5 0】

【実施例】

以下、本発明の具体的な実施例を挙げる。以下の例において、 $G_p$ はp番目のグループ、 $SG_r$ はr番目のサブグループをそれぞれ示す。

【0151】

〔比較例〕

本例では、図5の構成で、120行×360列のプレ素子を備えた基板に堆積処理を行った。具体的には、この基板に対して、フォーミング処理までの工程を施した後に、 $1 \times 10^{-4}$  Paのベンゾニトリル雰囲気中に配置した。その後、360本の列方向配線を共通にしてGNDに接続した。そして、行方向配線の1番目～10番目までに、電圧値が15V、パルス幅1msec、周波数100Hzのパルスを30分間、順次電圧印加した。次に、11番目～20番目までに、同一の処理を施し、同様に21番目～30番目というように行方向配線の連続した10本単位で堆積処理を施した。

【0152】

この結果、堆積処理に要した時間は6時間であり、配線単位の堆積処理最終の素子電流 $I_f$ は、250mA～350mAで、平均286mA、標準偏差49mA、標準偏差／平均＝17％であった。さらに、安定化処理を行い、素子電流 $I_f$ は、220mA～310mAで平均268mA、標準偏差45mA、標準偏差／平均＝16％で、かつ放出電流 $I_e$ は、180 $\mu$ A～350 $\mu$ Aで平均260 $\mu$ A、標準偏差58 $\mu$ A、標準偏差／平均＝22％であった。ここで、測定条件としては、電圧値14.5V、パルス幅1msec、周波数10Hzで、アノード間距離3mm、アノード電圧1kVにて測定を行った。

【0153】

〔実施例1〕

本例では、上述の比較例と同様の120行×360列のプレ素子の堆積処理を行った。比較例と同様に、フォーミング処理までの工程を施した後に、 $1 \times 10^{-4}$  Paのベンゾニトリル雰囲気中に配置した。その後、360本の列方向配線を共通にしてGNDに接続した。そして、行方向配線単位で、1番目～30番目までを $G_1$ 、31番目～60番目までを $G_2$ 、61番目～90番目までを $G_3$ 、91

番目～120番目を $G_4$ とした。そして、各グループ $G_1 \sim G_4$ をそれぞれ行方向配線単位の10本の行方向配線からなる3個のサブグループに分割した。さらに、各グループ内で、順次、電圧値15V、パルス幅1msecのパルス電圧を印加するとともに、グループ間で同時に電圧を印加した。

【0154】

これにより、単純マトリクス基板の行方向配線の4本が同時に電圧を印加され、かつ各グループにおいて10本が順次電圧印加され、合計40本の堆積処理が行われた。ここで、各行方向配線には、パルス幅1msec、100Hzのパルスを30分間印加して、堆積処理1を40本の行方向配線に施した。

【0155】

その後、残りの行方向配線に関して、同様に堆積処理2、堆積処理3を施し、120行全ての堆積処理を終了した。ここで、各堆積処理で同時に電圧を印加する行番号、順次電圧を印加する行番号を表1に示した。

【0156】

特 2000-040390

【表 1】

活性化処理 1 (SG <sub>1</sub> )	
順次スクロール番号	行番号
第 1	1, 31, 61, 91,
第 2	4, 34, 64, 94,
第 3	7, 37, 67, 97,
第 4	10, 40, 70, 100
第 5	13, 43, 73, 103
第 6	16, 46, 76, 106
第 7	19, 49, 79, 109
第 8	22, 52, 82, 112
第 9	25, 55, 85, 115
第 10	28, 58, 88, 118
活性化処理 2 (SG <sub>2</sub> )	
順次スクロール番号	行番号
第 1	2, 32, 62, 92
第 2	5, 35, 65, 95
第 3	8, 38, 68, 98
第 4	11, 41, 71, 101
第 5	14, 44, 74, 104
第 6	17, 47, 77, 107
第 7	20, 50, 80, 110
第 8	23, 53, 83, 113
第 9	26, 56, 86, 116
第 10	29, 59, 89, 119
活性化処理 3 (SG <sub>3</sub> )	
順次スクロール番号	行番号
第 1	3, 33, 63, 93
第 2	6, 36, 66, 96
第 3	9, 39, 69, 99
第 4	12, 42, 72, 102
第 5	15, 45, 75, 105
第 6	18, 48, 78, 108
第 7	21, 51, 81, 111
第 8	24, 54, 84, 114
第 9	27, 57, 87, 117
第 10	30, 60, 90, 120

【0157】

堆積処理に要した時間は、1.5時間であり、比較例の1/4の時間で堆積処



理を終了することができた。さらに、配線単位での堆積処理最終の素子電流  $I_f$  は、290 mA～340 mAで平均318 mA、標準偏差32 mA、標準偏差／平均＝10％であった。さらに、安定化処理を行い、素子電流  $I_f$  は、280 mA～310 mAで平均297 mA、標準偏差27 mA、標準偏差／平均＝9％で、かつ放出電流  $I_e$  は、290  $\mu$ A～350  $\mu$ Aで平均325  $\mu$ A、標準偏差34  $\mu$ A、標準偏差／平均＝10％であった。

【0158】

ここで、測定条件としては、14.5 V、パルス幅1 msec、周期10 Hzでアノード間距離3 mm、アノード電圧1 kVにて測定を行った。

【0159】

以上のように、実施例1では、比較例に比べて行方向配線単位でのばらつきが低減され、かつ放出電流  $I_e$  の平均値も大きくなった。

【0160】

〔実施例2〕

本例では、上述の比較例と同様の120行×360列の電子源を用いた。この基板に対して、比較例と同様に、フォーミング処理までの工程を施した後に、 $1 \times 10^{-4}$  Paのベンゾニトリル雰囲気中に配置した。その後、360本の列方向配線を共通にしてGNDに接続した。そして、行方向配線単位で、表2に示すように3本連続し、かつ3本連続した行方向配線が9本間隔で配置された4つのグループ  $G_1 \sim G_4$  に分割した。そして、各グループを、それぞれ行方向配線単位の10本の行方向配線からなる3個のサブグループ  $SG_1 \sim SG_3$  に分割した。さらに、各グループ内で、順次、電圧値15 V、パルス幅1 msecのパルス電圧を印加するとともに、グループ間で同時に電圧を印加した。

【0161】

これにより、単純マトリクス基板の行方向配線の4本が同時に電圧を印加され、かつ各グループにおいて10本が順次電圧印加され、合計40本の堆積処理が行われた。ここで、各行方向配線には、パルス幅1 msec、100 Hzのパルスを30分間印加して、堆積処理1を40本の行方向配線に施した。その後、残りの行方向配線に関して、同様に堆積処理2、堆積処理3を施し、120行全て

の堆積処理を終了した。ここで、各堆積処理で同時に電圧を印加する行番号、順次電圧を印加する行番号を表 3 に示した。

【 0 1 6 2 】

【表 2】

G <sub>1</sub>			G <sub>2</sub>			G <sub>3</sub>			G <sub>4</sub>		
SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>
1	2	3	4	5	6	7	8	9	10	11	12
13	14	15	16	17	18	19	20	21	22	23	24
25	26	27	28	29	30	31	32	33	34	35	36
37	38	39	40	41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56	57	58	59	60
61	62	63	64	65	66	67	68	69	70	71	72
73	74	75	76	77	78	79	80	81	82	83	84
85	86	87	88	89	90	91	92	93	94	95	96
97	98	99	100	101	102	103	104	105	106	107	108
109	110	111	112	113	114	115	116	117	118	119	120

【 0 1 6 3 】

【表 3】

活性化処理 1 (SG <sub>1</sub> )	
順次スクロール番号	行番号
第 1	1, 4, 7, 10
第 2	13, 16, 19, 22
第 3	25, 28, 31, 34
第 4	37, 40, 43, 46
第 5	49, 52, 55, 58
第 6	61, 64, 67, 70
第 7	73, 76, 79, 82
第 8	85, 89, 91, 94
第 9	97, 100, 103, 106
第 10	109, 112, 115, 118
活性化処理 2 (SG <sub>2</sub> )	
順次スクロール番号	行番号
第 1	2, 5, 7, 11
第 2	14, 17, 20, 23
第 3	26, 29, 32, 35
第 4	38, 41, 44, 47
第 5	50, 53, 56, 59
第 6	62, 65, 68, 71
第 7	74, 77, 80, 83
第 8	86, 89, 92, 95
第 9	98, 101, 104, 107
第 10	110, 113, 116, 119
活性化処理 3 (SG <sub>3</sub> )	
順次スクロール番号	行番号
第 1	3, 6, 8, 12
第 2	15, 18, 21, 24
第 3	27, 30, 33, 36
第 4	39, 42, 45, 48
第 5	51, 54, 57, 60
第 6	63, 66, 69, 72
第 7	75, 78, 81, 84
第 8	87, 90, 93, 96
第 9	99, 102, 105, 108
第 10	11, 114, 117, 120

【0164】

堆積処理に要した時間は 1.5 時間であり、比較例の 1/4 の時間で堆積処理

を終了した。さらに、配線単位での堆積処理最終の素子電流  $I_f$  は、 $270\text{ mA} \sim 340\text{ mA}$  で平均  $310\text{ mA}$ 、標準偏差  $33\text{ mA}$ 、標準偏差／平均  $= 11\%$  であった。さらに、安定化処理を行い、素子電流  $I_f$  は、 $260\text{ mA} \sim 310\text{ mA}$  で平均  $283\text{ mA}$ 、標準偏差  $31\text{ mA}$ 、標準偏差／平均  $= 11\%$  で、かつ放出電流  $I_e$  は、 $260\text{ }\mu\text{A} \sim 350\text{ }\mu\text{A}$  で平均  $315\text{ }\mu\text{A}$ 、標準偏差  $36\text{ }\mu\text{A}$ 、標準偏差／平均  $= 11\%$  であった。

## 【0165】

ここで、測定条件としては、電圧値  $14.5\text{ V}$ 、パルス幅  $1\text{ msec}$ 、周期  $10\text{ Hz}$  でアノード間距離  $3\text{ mm}$ 、アノード電圧  $1\text{ kV}$  にて測定を行った。以上のように、実施例 2 では、比較例に比べ行方向配線単位でのばらつきが低減され、かつ放出電流  $I_e$  の平均値も大きくなった。

## 【0166】

## 〔実施例 3〕

本例では、上述の比較例と同様の  $120\text{ 行} \times 360\text{ 列}$  のプレ素子を備えた単純マトリクス基板を用いた。この基板に対して、比較例と同様に、フォーミング処理までの工程を施した後に、 $1 \times 10^{-4}\text{ Pa}$  のベンゾニトリル雰囲気中に配置した。その後、 $360$  本の列方向配線を共通にして GND に接続した。そして、行方向配線単位で、表 4 に示すように 2 本連続し、かつ 2 本連続した行方向配線が 5 本間隔で配置された 3 つのグループ  $G_1 \sim G_3$  に分割した。そして、各グループをそれぞれ行方向配線単位の  $40$  本の行方向配線からなる 4 個のサブグループ  $SG_1 \sim SG_4$  に分割した。さらに、各グループ内で、順次、電圧値  $15\text{ V}$ 、パルス幅  $1\text{ msec}$  のパルス電圧を印加するとともに、グループ間で同時に電圧を印加した。

## 【0167】

これにより、単純マトリクス基板の行方向配線の 3 本が同時に電圧を印加され、かつ各グループ  $10$  本が順次電圧印加され、合計  $30$  本の堆積処理が行われた。ここで、各行方向配線には、パルス幅  $1\text{ msec}$ 、 $100\text{ Hz}$  のパルスを  $30$  分間印加して堆積処理 1 を  $30$  本の行方向配線に施した。その後、残りの行方向配線に関して、同様に堆積処理 2、堆積処理 3、堆積処理 4 を施し、 $120$  行す

すべての堆積処理を終了した。ここで、各堆積処理で同時に電圧を印加する行番号、順次電圧を印加する行番号を表5に示した。

【0168】

【表4】

G <sub>1</sub>				G <sub>2</sub>				G <sub>3</sub>			
SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	SG <sub>4</sub>	SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	SG <sub>4</sub>	SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	SG <sub>4</sub>
1	2	61	62	3	4	63	64	5	6	65	66
7	8	67	68	9	10	69	70	11	12	71	72
13	14	73	74	15	16	75	76	17	18	77	78
19	20	79	80	21	22	81	82	23	24	83	84
25	26	85	86	27	28	87	88	29	30	89	90
31	32	91	92	33	34	93	94	35	36	95	96
37	38	97	98	39	40	99	100	41	42	101	102
43	44	103	104	45	46	105	106	47	48	107	108
49	50	109	110	51	52	111	112	53	54	113	114
55	56	115	116	57	58	117	118	59	60	119	120

【0169】

【表 5】

活性化処理 1 (SG <sub>1</sub> )		活性化処理 3 (SG <sub>3</sub> )	
順次スクロール番号	行番号	順次スクロール番号	行番号
第 1	1, 3, 5	第 1	61, 63, 65
第 2	7, 9, 11	第 2	67, 69, 71
第 3	13, 15, 17	第 3	73, 75, 77
第 4	19, 21, 23	第 4	79, 81, 83
第 5	25, 27, 29	第 5	85, 87, 89
第 6	31, 33, 35	第 6	91, 93, 95
第 7	37, 39, 41	第 7	97, 99, 101
第 8	43, 45, 47	第 8	103, 105, 107
第 9	49, 51, 53	第 9	109, 111, 113
第 10	55, 57, 59	第 10	115, 117, 119
活性化処理 2 (SG <sub>2</sub> )		活性化処理 4 (SG <sub>4</sub> )	
順次スクロール番号	行番号	順次スクロール番号	行番号
第 1	2, 4, 6	第 1	62, 64, 66
第 2	8, 10, 12	第 2	68, 70, 72
第 3	14, 16, 18	第 3	74, 76, 78
第 4	20, 22, 24	第 4	80, 82, 84
第 5	26, 28, 30	第 5	86, 88, 90
第 6	32, 34, 36	第 6	92, 94, 96
第 7	38, 40, 42	第 7	98, 100, 102
第 8	44, 46, 48	第 8	104, 106, 108
第 9	50, 52, 54	第 9	110, 112, 114
第 10	56, 58, 60	第 10	116, 118, 120

## 【0170】

堆積処理に要した時間は 2 時間であり、比較例の 1/3 の時間で堆積処理を終了した。さらに、配線単位での堆積処理最終の素子電流  $I_f$  は、260 mA ~ 310 mA で平均 280 mA、標準偏差 26 mA、標準偏差/平均 = 9 % であった。さらに、安定化処理を行い、素子電流  $I_f$  は、250 mA ~ 310 mA で平均 273 mA、標準偏差 26 mA、標準偏差/平均 = 10 % で、かつ放出電流  $I_e$  は、270  $\mu$ A ~ 330  $\mu$ A で平均 302  $\mu$ A、標準偏差 36  $\mu$ A、標準偏差/平均 = 12 % であった。

## 【0171】

ここで、測定条件としては、14.5 V、パルス幅 1 msec、周期 10 Hz でアノード間距離 3 mm、アノード電圧 1 kV にて測定を行った。

## 【0172】

以上のように、実施例 3 では、比較例に比べ行方向配線単位でのばらつきが低減され、かつ放出電流  $I_e$  の平均値も大きくなった。

## 【0173】

【発明の効果】

以上述べたように、本発明によれば、良好な電子源、画像形成装置を効率よく提供することができる。

【図面の簡単な説明】

【図 1】

本発明の電子源の製造方法の一実施形態におけるグループ、サブグループの分割形態を示す模式図である。

【図 2】

本発明の電子源に適用される表面伝導型電子放出素子の構成を示す模式図である。

【図 3】

図 2 の表面伝導型電子放出素子の製造方法を示す模式図である。

【図 4】

電子放出部形成時の通電フォーミングの電圧波形の例を示す説明図である。

【図 5】

本発明の電子源の配線構成を模式的に示す模式図である。

【図 6】

本発明の電子源の電子放出特性を評価するための真空処理装置の一例を示す模式図である。

【図 7】

本発明の電子源を構成する電子放出素子の放出電流  $I_e$ 、素子電流  $I_f$  と素子電圧  $V_f$  の関係を示した説明図である。

【図 8】

本発明の電子源の製造方法の堆積工程における電圧印加のタイミングチャートである。

【図 9】

本発明の画像形成装置の表示パネルの一例を示す模式図である。

【図 10】

図 9 の表示パネルを構成する蛍光膜の模式図である。

【図 1 1】

図 9 の表示パネルを用いて N T S C 方式のテレビ信号に応じて表示を行うための駆動回路の一例を示す模式図である。

【図 1 2】

本発明の電子源の製造方法におけるフォーミング、堆積工程のための結線方法を示す模式図である。

【図 1 3】

本発明の電子源の製造方法におけるフォーミング、堆積工程を行うための真空排気装置の模式図である。

【図 1 4】

本発明の電子源の製造方法の他の実施形態におけるグループ、サブグループの分割形態を示す模式図である。

【図 1 5】

本発明の電子源の製造方法の一実施形態におけるグループ、サブグループの分割形態を示す模式図である。

【図 1 6】

従来の表面伝導型電子放出素子の模式図である。

【図 1 7】

本発明の画像形成装置の一例を示すブロック図である。

【符号の説明】

- 1 3 1 表示パネル
- 1 3 2 排気管
- 1 3 3 真空チャンバー
- 1 3 4 ゲートバルブ
- 1 3 5 排気装置
- 1 3 6 圧力計
- 1 3 7 四重極質量分析器
- 1 3 8 ガス導入ライン
- 1 3 9 ガス導入量制御手段



- 1 4 0 導入物質源
- 2 0 1 基板
- 2 0 2、2 0 3 素子電極
- 2 0 4 導電性膜
- 2 0 5 電子放出部
- 5 0 1 基板
- 5 0 2 X方向配線
- 5 0 3 Y方向配線
- 5 0 4 表面伝導型電子放出素子
- 5 0 5 結線
- 6 0 0 電流計
- 6 0 1 電源
- 6 0 2 電流計
- 6 0 3 高圧電源
- 6 0 4 アノード電極
- 6 0 5 真空容器
- 6 0 6 排気ポンプ
- 8 0 1 電子源基板
- 8 0 2 X方向配線
- 8 0 3 Y方向配線
- 8 0 4 プレ素子
- 9 0 1 リアプレート
- 9 0 2 支持棒
- 9 0 3 ガラス基板
- 9 0 4 蛍光膜
- 9 0 5 メタルバック
- 9 0 6 フェースプレート
- 9 0 7 外囲器
- 9 0 8 高圧端子

- 1 0 0 1 黒色導電材
- 1 0 0 2 蛍光体
- 1 1 0 1 表示パネル
- 1 1 0 2 走査回路
- 1 1 0 3 制御回路
- 1 1 0 4 シフトレジスタ
- 1 1 0 5 ラインメモリ
- 1 1 0 6 同期信号分離回路
- 1 1 0 7 変調信号発生器
- 1 2 0 1 共通電極
- 1 2 0 2 電源
- 1 2 0 3 電流測定用抵抗
- 1 2 0 4 オシロスコープ
- 1 7 0 0 ディスプレイパネル
- 1 7 0 1 駆動回路
- 1 7 0 2 ディスプレイコントローラ
- 1 7 0 3 マルチプレクサ
- 1 7 0 4 デコーダ
- 1 7 0 5 入出力インターフェース回路
- 1 7 0 6 CPU
- 1 7 0 7 画像生成回路
- 1 7 0 8 ~ 1 7 1 0 画像メモリインターフェース回路
- 1 7 1 1 画像入力インターフェース回路
- 1 7 1 2、1 7 1 3 TV信号受信回路
- 1 7 1 4 入力部
- 1 9 0 1 基板
- 1 9 0 4 導電性膜
- 1 9 0 5 電子放出部

【書類名】 図面

【図 1】

$$m=a \times b \times c$$

$$S_1: D_{yd}, D_{ybc+d}, \cdots, D_{y(a-1)bc+d}$$

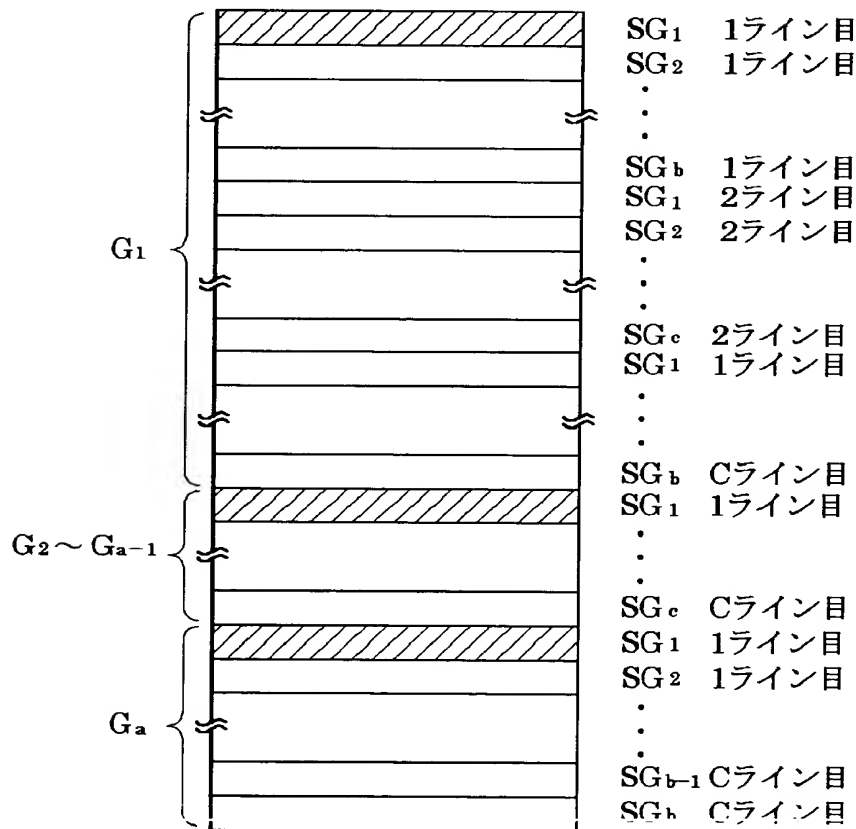
$$S_2: D_{yb+d}, D_{ybc+b+d}, \cdots, D_{y(a-1)bc+b+d}$$

$\vdots$

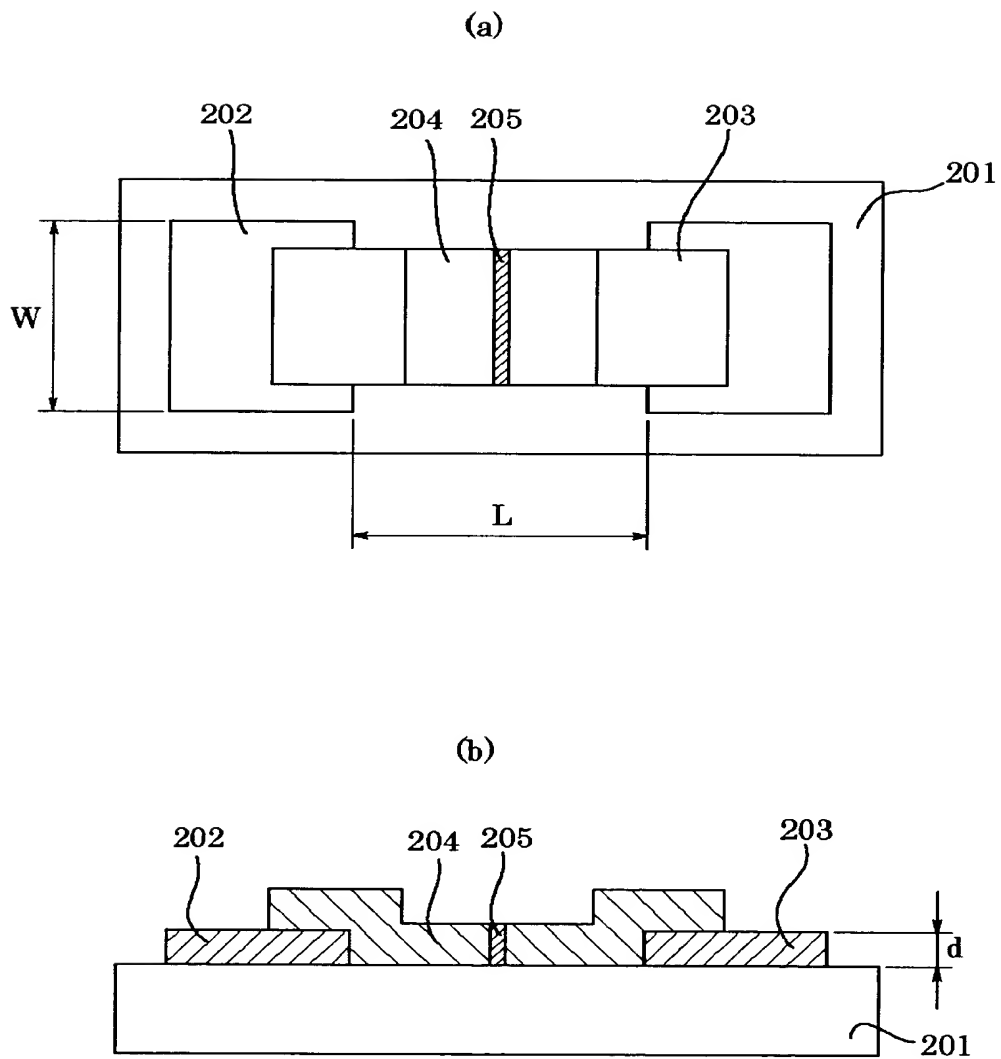
$$S_{c-1}: D_{y(c-2)b+d}, \cdots, D_{y(c-2)b+bc+d}, \cdots, D_{y(c-2)b+(a-1)bc+d}$$

$$S_c: D_{y(c-1)b+d}, \cdots, D_{y(c-1)b+bc+d}, \cdots, D_{y(c-1)b+(a-1)bc+d}$$

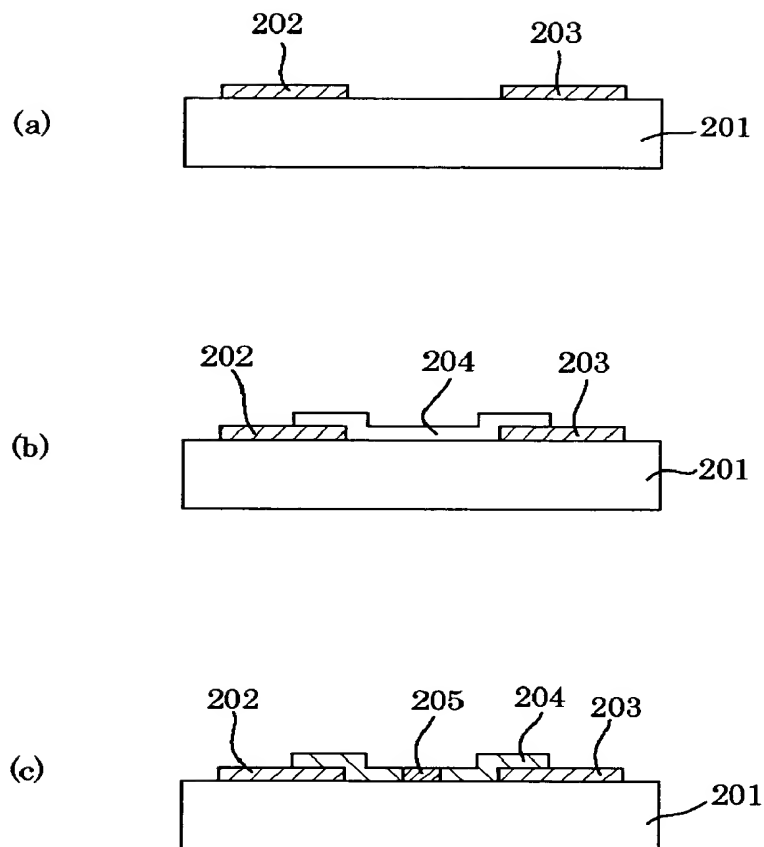
( $d=1 \sim b$  の自然数)



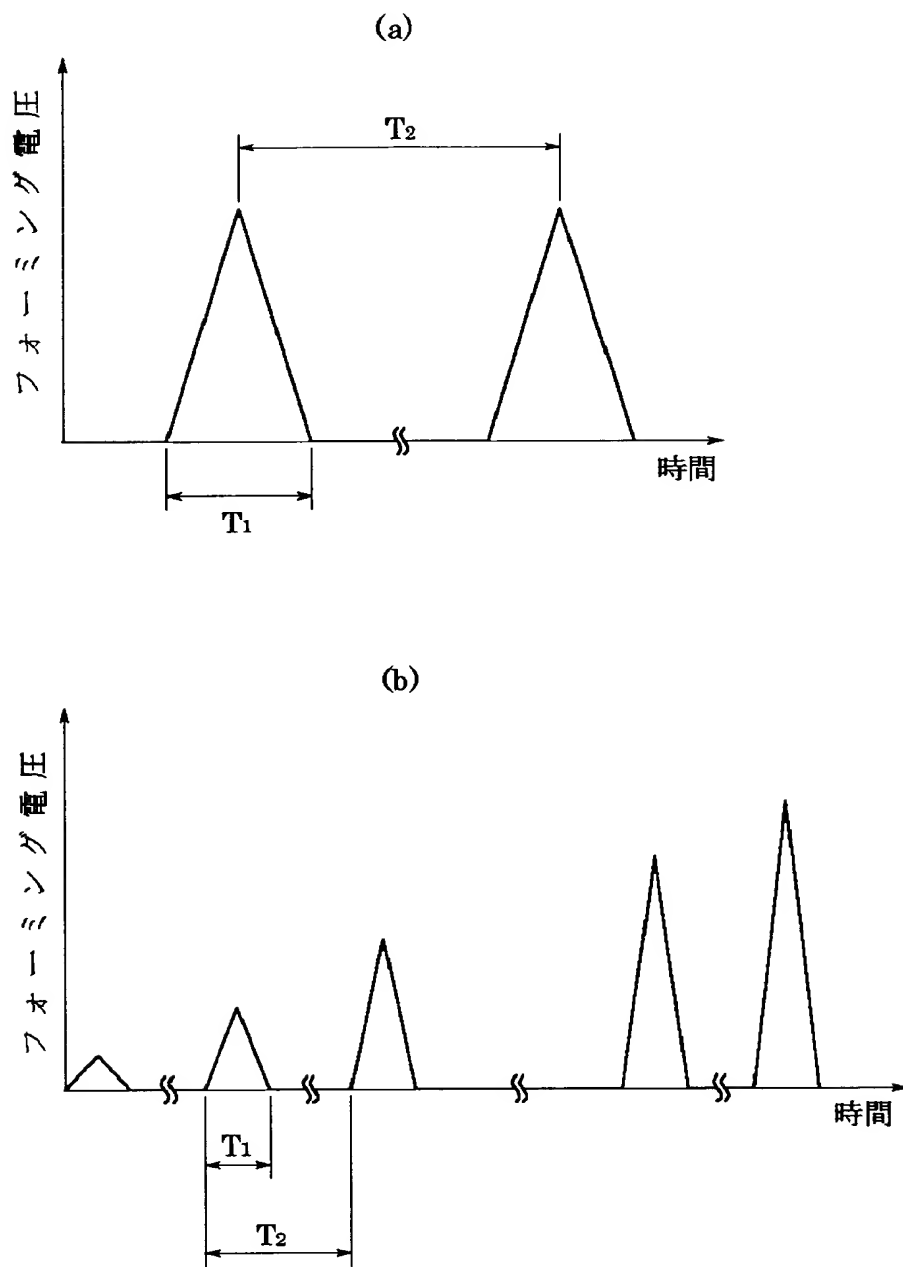
【図 2】



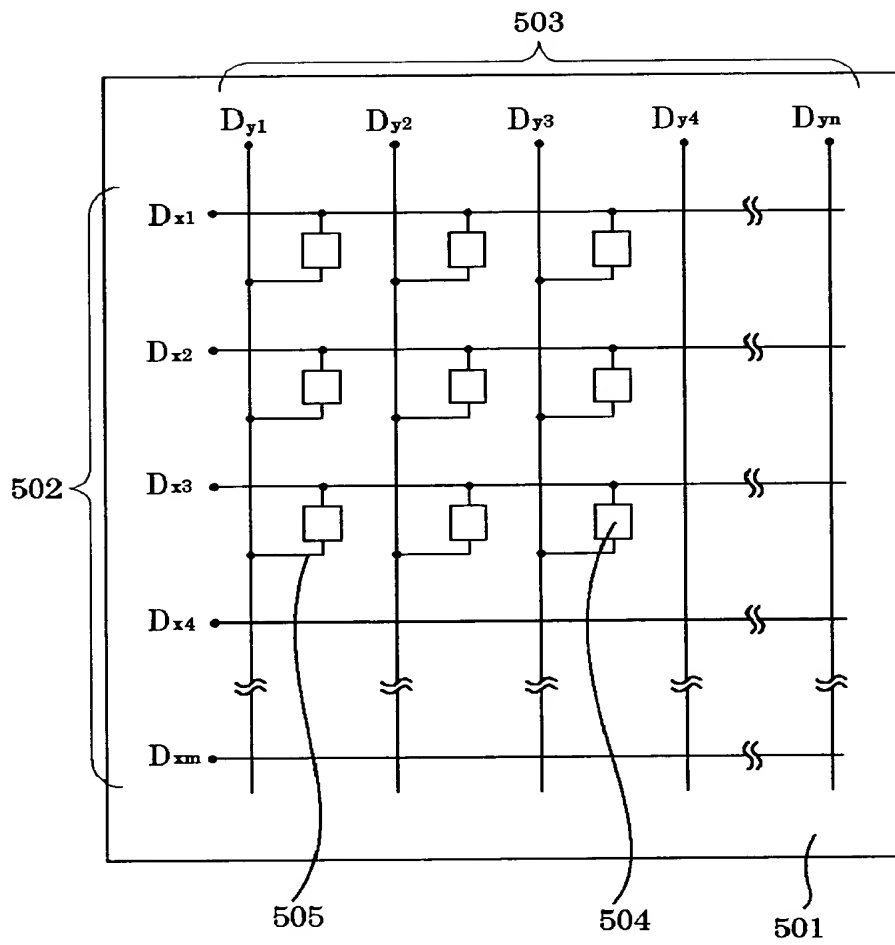
【図 3】



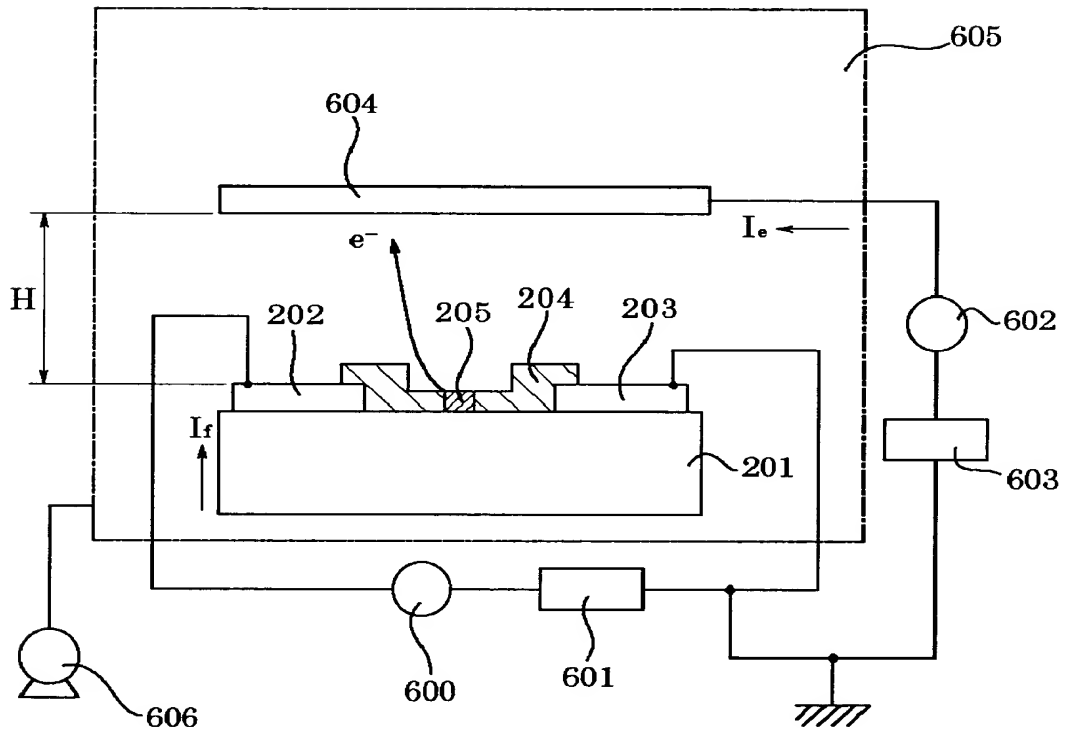
【図 4】



【図 5】

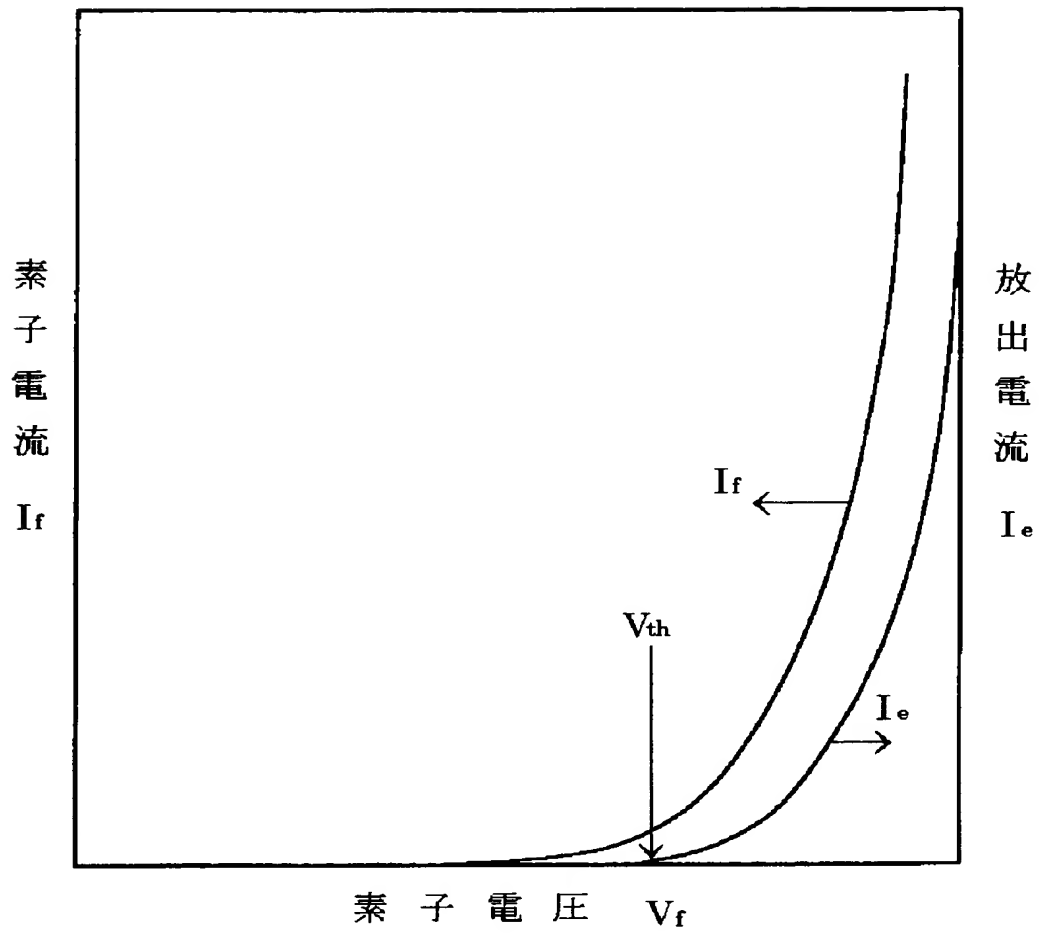


【図 6】

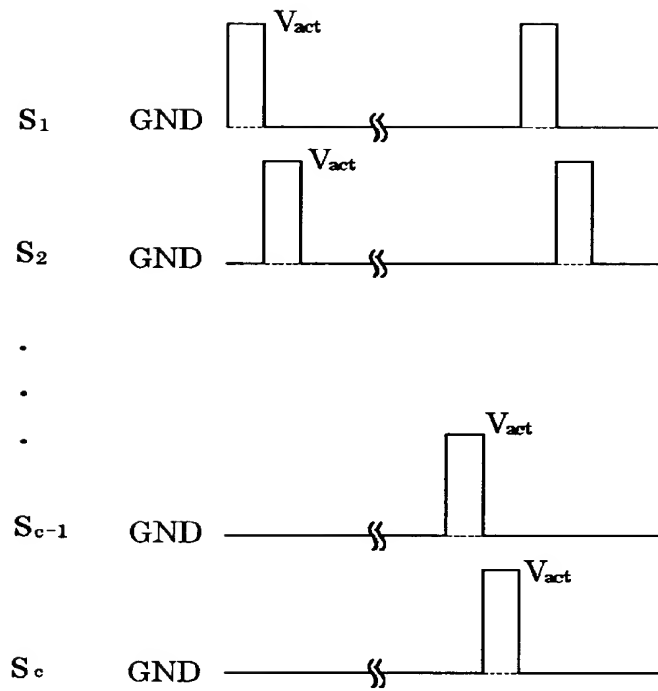




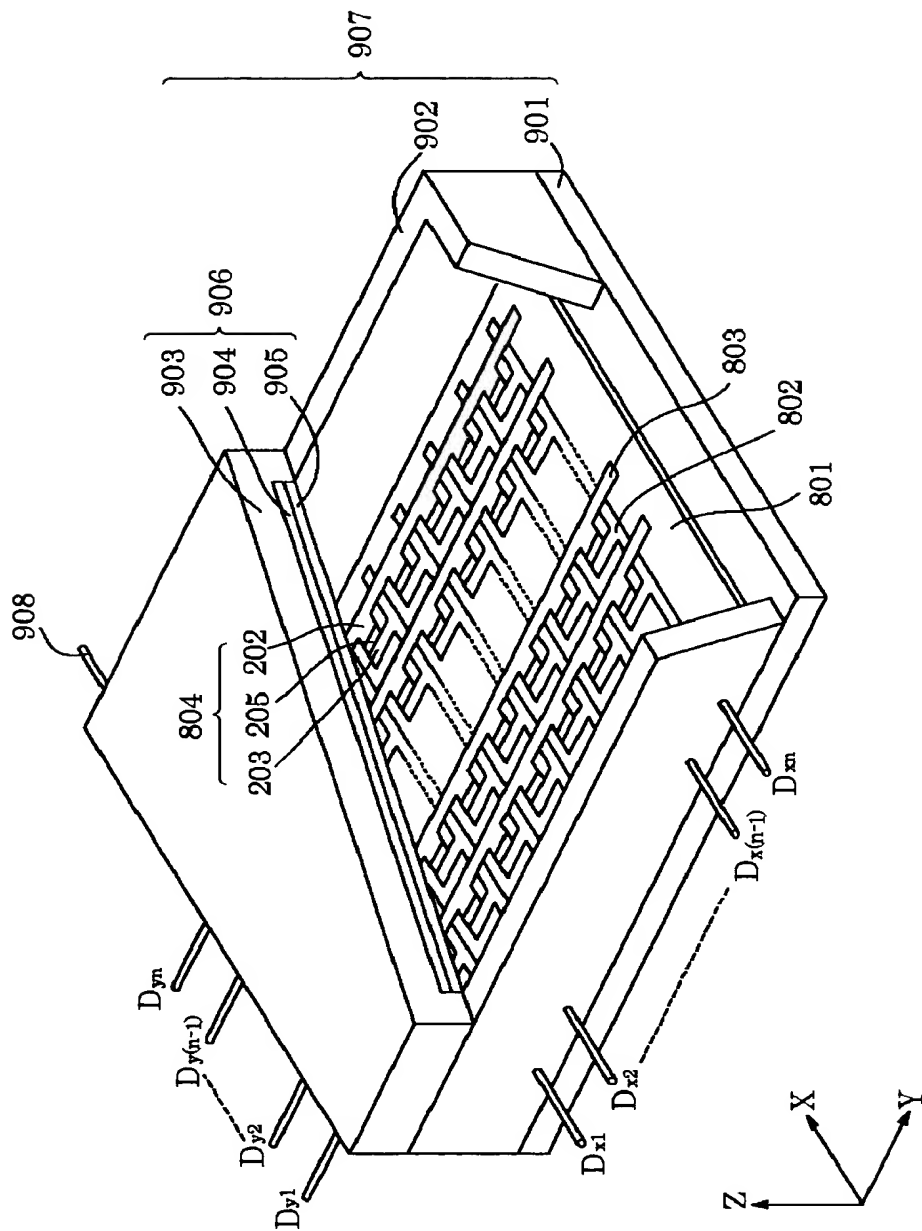
【図7】



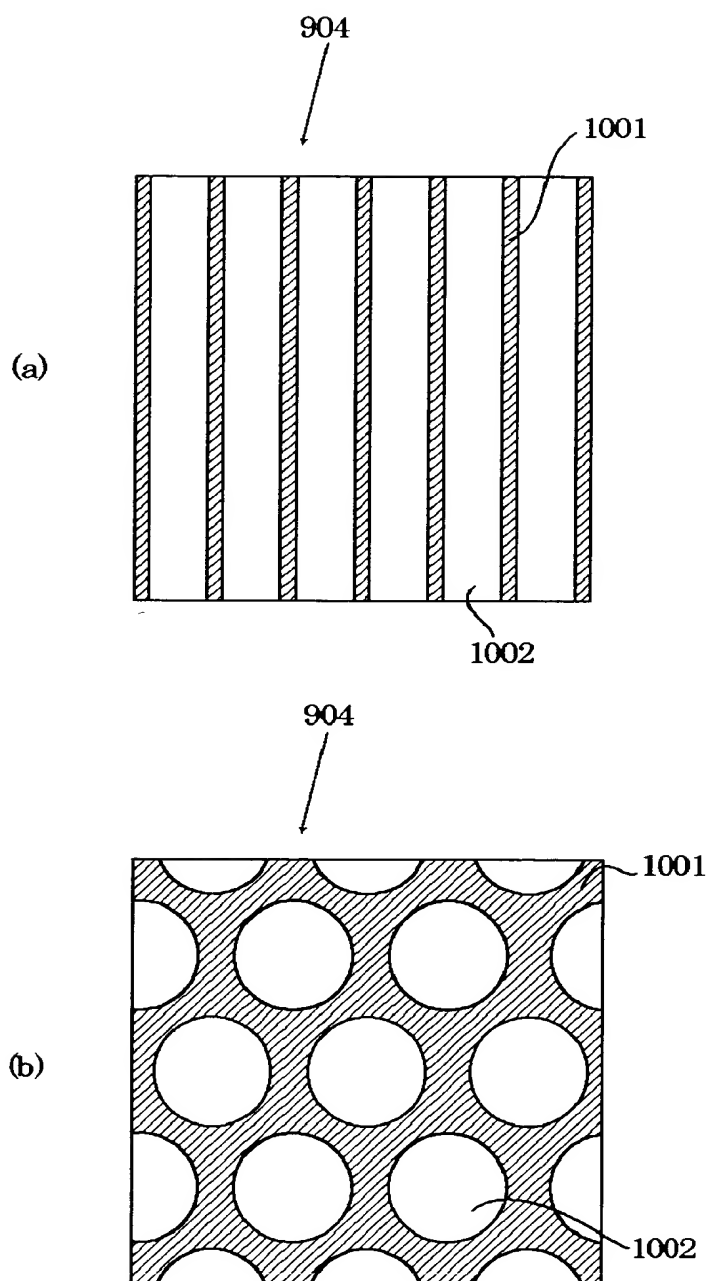
【図 8】



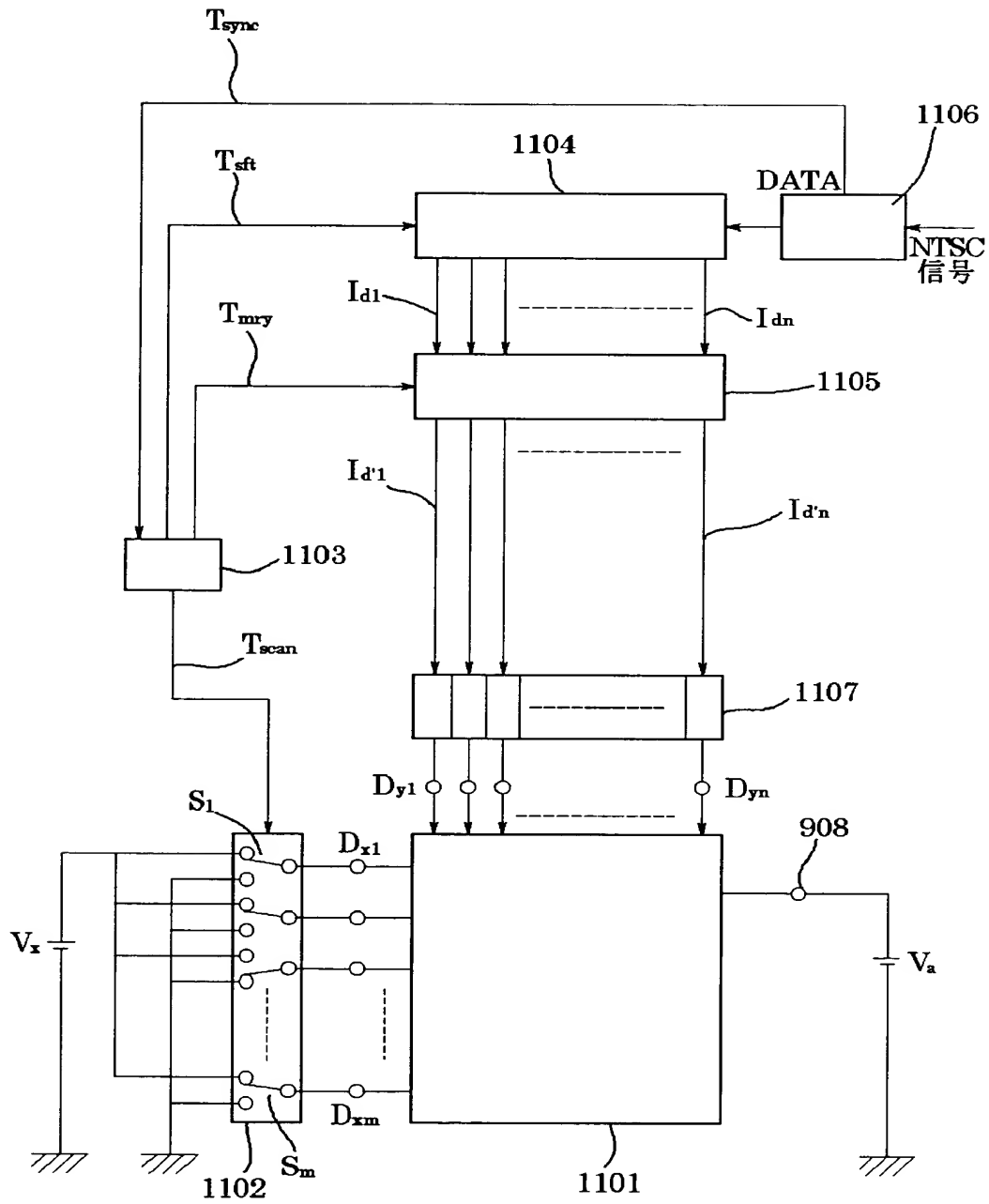
【図 9】



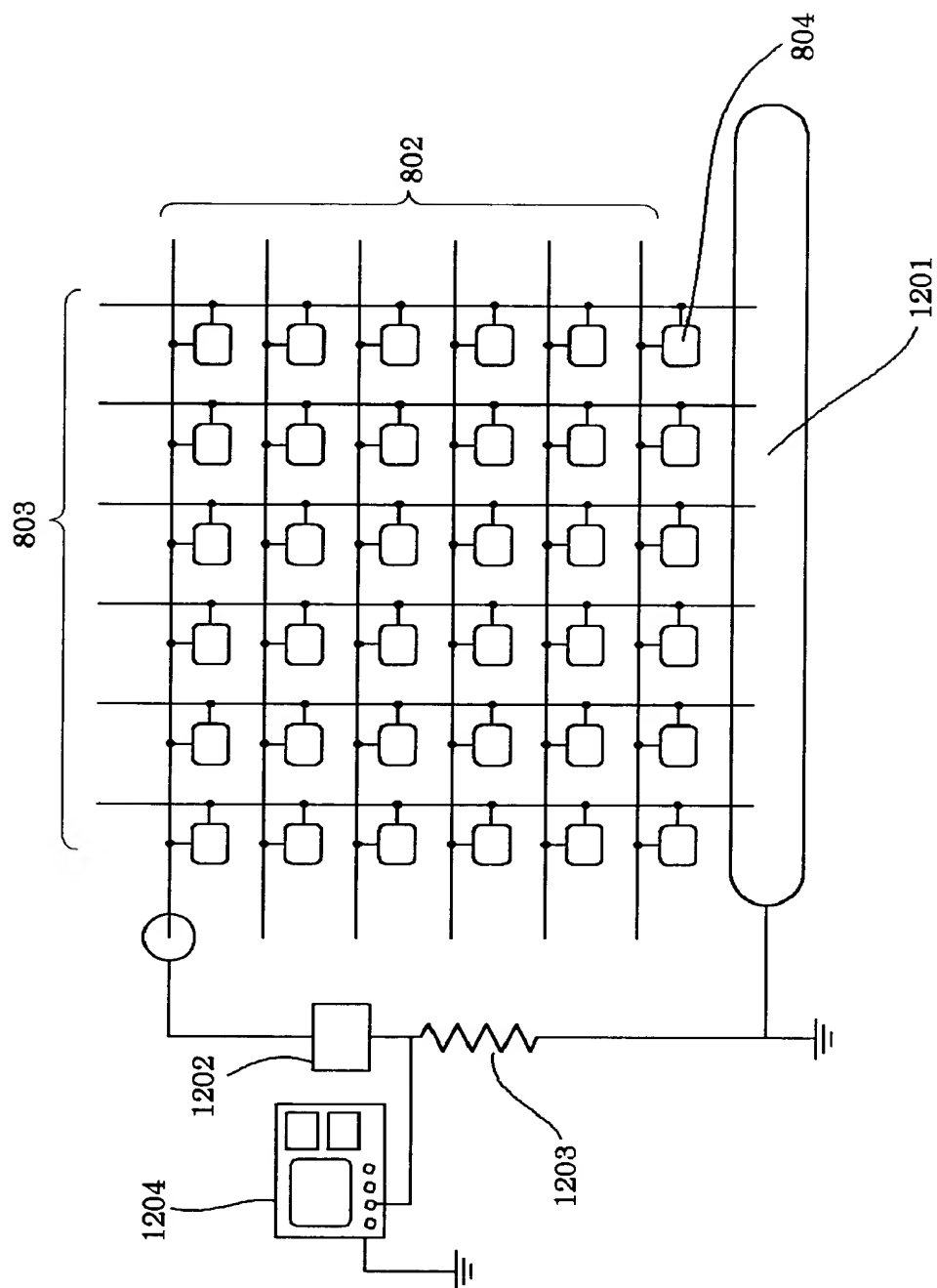
【図 1 0】



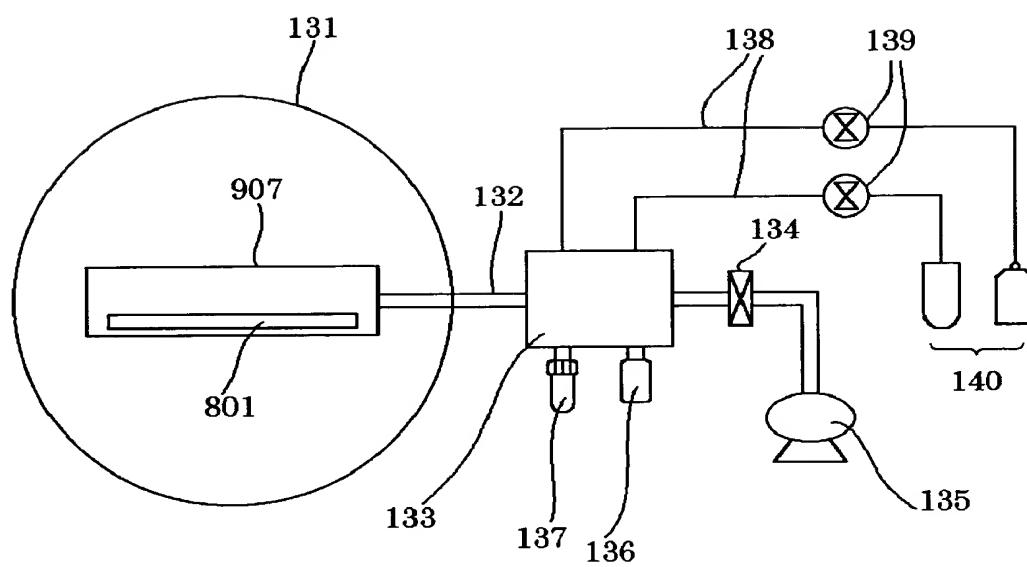
【図 11】



【図 1 2】



【図13】



【図 14】

$$m = a \times b \times c$$

$$S_1 : D_{yd}, D_{yd+d}, \dots, D_{y(a-1)b+d}$$

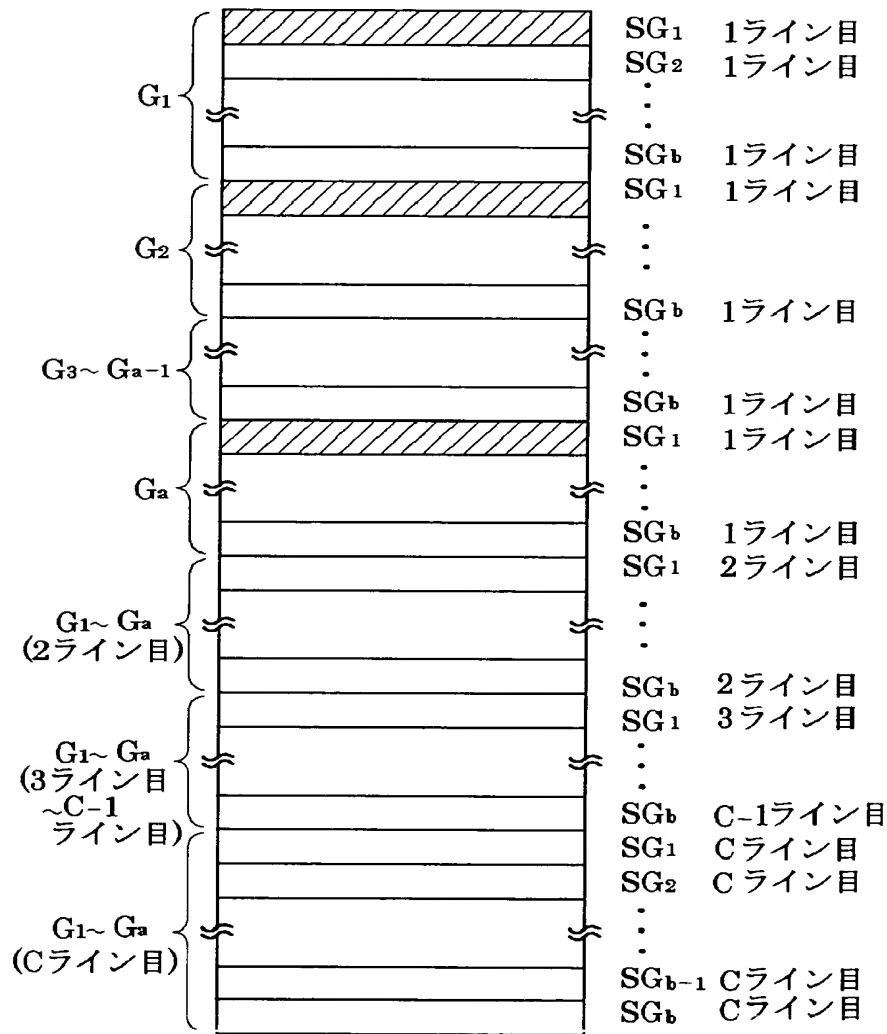
$$S_2 : D_{yab+d}, D_{yb+a+d}, \dots, D_{y(a-1)b+ab+d}$$

⋮

$$S_{c-1} : D_{y(c-2)ab+d}, D_{y(c-2)ab+b+d}, \dots, D_{y(c-2)ab+(a-1)b+d}$$

$$S_c : D_{y(c-1)ab+d}, D_{y(c-1)ab+b+d}, \dots, D_{y(c-1)ab+(a-1)b+d}$$

( $d=1 \sim b$  の自然数)





【図 15】

$$m=e \times a \times b \times c$$

$$S_1: D_{yd}, D_{yb+d}, \cdots, D_{y(a-1)b+d}$$

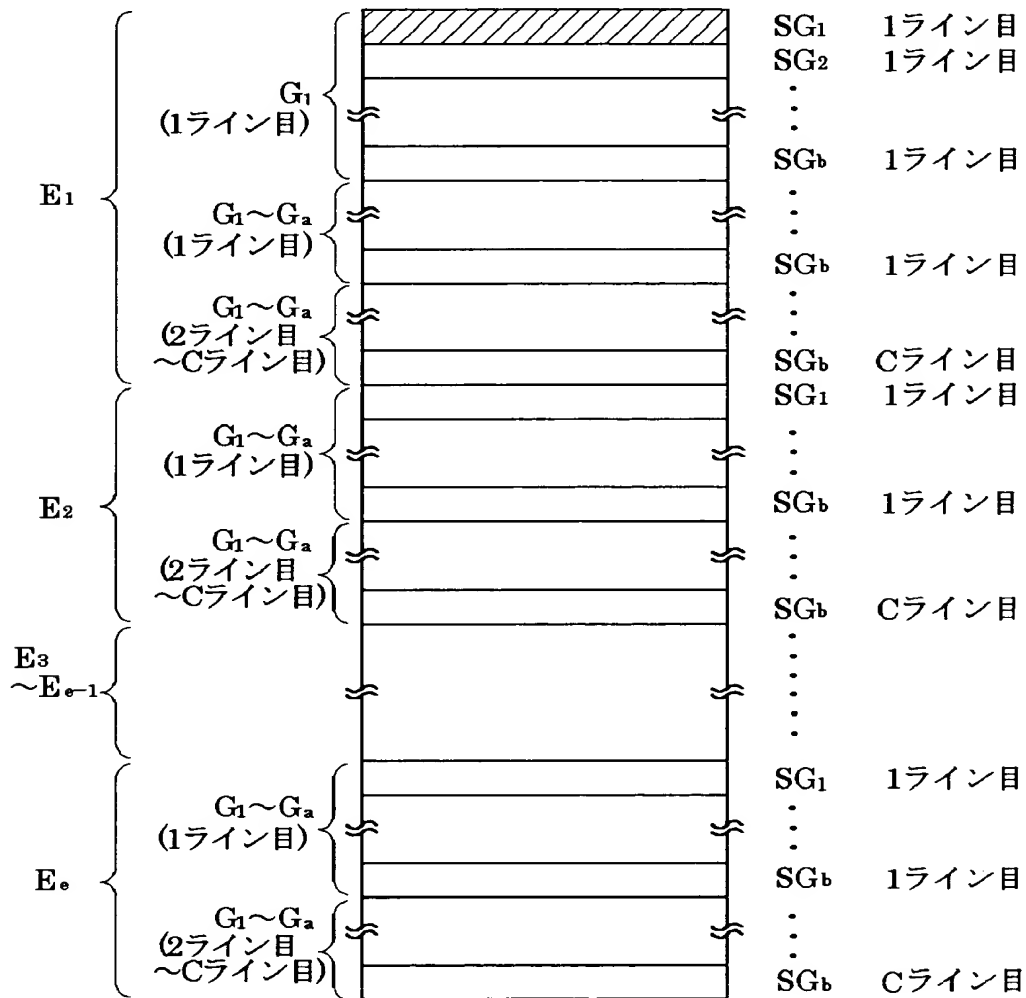
$$S_2: D_{yab+d}, D_{yb+ab+d}, \cdots, D_{y(a-1)b+ab+d}$$

⋮

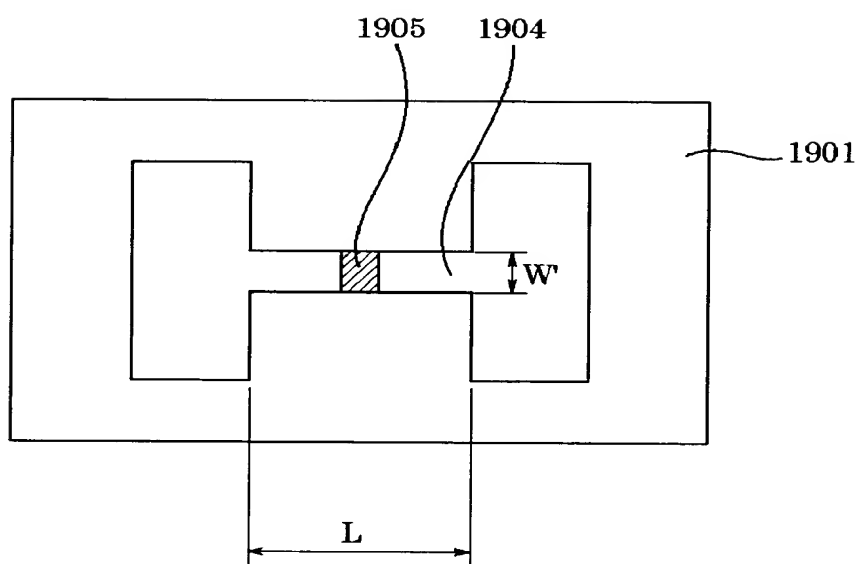
$$S_{c-1}: D_{y(c-2)ab+d}, D_{y(c-2)ab+b+d}, \cdots, D_{y(c-2)ab+(a-1)b+d}$$

$$S_c: D_{y(c-1)ab+d}, D_{y(c-1)ab+b+d}, \cdots, D_{y(c-1)ab+(a-1)b+d}$$

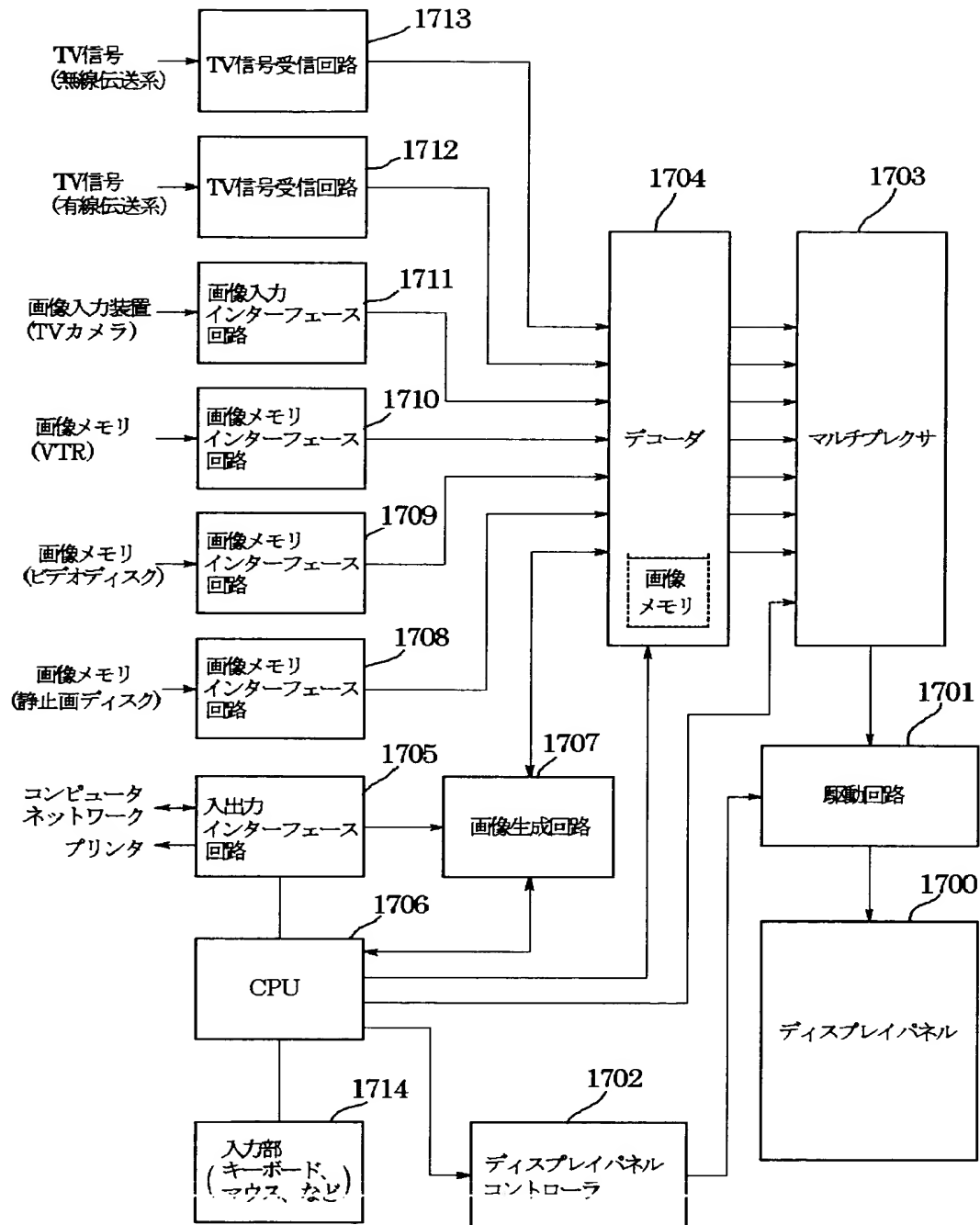
( $d=1 \sim b, abc+1 \sim acb+f, \cdots, acb(e-1)+1 \sim acb(e-1)+n$  の自然数)



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 短時間で印加電圧波形の制約なく、堆積処理を施すことが可能な電子源の製造方法を提供する。

【解決手段】 複数の電子放出素子が複数の行方向配線と複数の列方向配線とにより、マトリクス状に結線されている電子源の製造方法において、 $m$ 本 ( $m = a \times b \times c$ ) の行方向配線を、 $a$  個のグループ  $G_1 \sim G_a$  に分け、さらに各グループ内で行方向配線を  $c$  本ずつ  $SG_1 \sim SG_b$  の  $b$  個のサブグループに分割し、先ず、各グループの  $SG_1$  の行方向配線を各グループ共通で順次選択して電圧を印加して堆積処理を施し、同様に、当該堆積処理を  $SG_2$  以降のサブグループについて行い、当該サブグループ毎の堆積処理を  $b$  回行って全素子の堆積処理を行う。

【選択図】 図 1

特 2000-040390

## 認定・付加情報

特許出願の番号	特願2000-040390
受付番号	50000181594
書類名	特許願
担当官	第一担当上席 0090
作成日	平成12年 2月23日

### <認定情報・付加情報>

#### 【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名又は名称】	キヤノン株式会社

#### 【代理人】

申請人

【識別番号】	100096828
【住所又は居所】	東京都千代田区有楽町1丁目4番1号 三信ビル 227号室 豊田・渡辺内外特許事務所
【氏名又は名称】	渡辺 敬介

#### 【選任した代理人】

【識別番号】	100059410
【住所又は居所】	東京都千代田区有楽町1丁目4番1号 三信ビル 227号室 豊田・渡辺内外特許事務所
【氏名又は名称】	豊田 善雄

特2000-040390

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社